

---

---

基本 32 位 MCU 设计和故障排除清单

---

---

PIC32MZ、PIC32MX、PIC32MK、PIC32C 和 SAM 器件

---



---

---

# 目录

---

PIC32MZ、PIC32MX、PIC32MK、PIC32C 和 SAM 器件.....	1
1. 常见问题解答 (Frequently Asked Question, FAQ) .....	4
2. 图片索引.....	6
3. 表格索引.....	8
4. 公式索引.....	9
5. 简介.....	10
5.1. 用户问题提交说明.....	10
5.2. Microchip 客户支持服务.....	10
5.3. Microchip 技术支持服务.....	10
6. 基本 32 位 MCU 设计和故障排除菜单清单.....	11
7. MCU 启动问题.....	12
7.1. VDD 斜率.....	12
7.2. 电源旁路.....	13
7.3. 上电序列.....	15
7.4. 来自远程电路的 I/O 引脚电流注入.....	15
7.5. 晶振.....	18
7.6. 时钟切换.....	20
8. 意外复位.....	22
8.1. PIC32MX POR/BOR.....	22
8.2. PIC32MZ/PIC32MK/PIC32C POR/BOR.....	22
8.3. NMI 和异常事件.....	22
8.4. ESD/EMI/EFT 事件.....	23
9. 调试问题.....	25
9.1. ICD 4/REAL ICE™ ICSP (PGDx/PGCx) 调试问题.....	25
9.2. JTAG/SWD.....	27
10. PCB MCU 连接.....	29
10.1. 外露焊盘.....	29
10.2. PIC32MX/PIC32MZ/PIC32MK VUSB3V3 引脚.....	29
10.3. MCLR#/RESETN.....	30
10.4. VBAT.....	30
11. 串行数据损坏错误.....	32
11.1. 阻抗匹配.....	32
11.2. 接地回路.....	33
11.3. SPI/SQI.....	34
11.4. SD 主机控制器 (SDHC) .....	38
11.5. UART.....	40
11.6. USB.....	42

11.7. CAN FD.....	46
12. ADC.....	51
12.1. 典型 SAM SAR ADC 的总不可调整误差源 (TUE) .....	51
12.2. ADC 噪声.....	51
12.3. VREF 精度.....	51
12.4. 电路 IR 压降误差.....	52
13. I <sup>2</sup> S 和按钮保护图.....	54
13.1. I <sup>2</sup> S 和按钮保护设计要点.....	54
14. I <sup>2</sup> C.....	55
14.1. I <sup>2</sup> C 保护设计要点.....	56
15. 进线电源保护图.....	57
16. 以太网.....	58
16.1. 特殊以太网 10/100 Base-T 设计指南.....	58
17. 综合 PCB 布线指南和建议.....	60
17.1. PCB 旁路.....	64
17.2. PCB 层策略.....	64
17.3. PCB 信号完整性问题.....	65
17.4. PCB 总线注意事项.....	67
18. 版本历史.....	68
Microchip 网站.....	69
产品变更通知服务.....	69
客户支持.....	69
Microchip 器件代码保护功能.....	69
法律声明.....	69
商标.....	70
质量管理体系.....	70
全球销售及服务网点.....	71

### 1. 常见问题解答 (Frequently Asked Question, FAQ)

问题 1: 上电期间出现间歇性启动问题或某些器件根本无法启动。

问题 2: 间歇性启动、从低功耗模式唤醒或模拟可重复性问题。

问题 3: 上电时出现间歇性启动和/或锁定问题。

问题 4: 启动期间出现导致异常错误或锁定的间歇性 MCU POR、BOR 和 BOD 复位问题。

问题 5: 将主振荡器与晶振一起使用时, 某些 PIC32MZxxEFxx 器件间歇性不启动。

问题 6: PIC32MZxxEFxx 以 200 MHz 运行, 某些器件上存在锁定或异常错误。

问题 7: EC 模式下, MCU 使用外部时钟, 时钟输入 MCU, 但是没有任何反应。

问题 8: 使用使能了自动增益控制的晶振, POSCAGC = 1, 并进行时钟故障检测。

问题 9: 使用自动增益控制, 但在某些板上出现间歇性启动问题和/或温度过高。

问题 10: MCU 的工作频率不符合预期, 或者没有执行任何 MCU 代码。

问题 11: 尝试将时钟从 FRC 切换到带 PLL 的 FRC, 但是系统时钟仍然只有 8 MHz 和/或 OSCCON.OSWEN 位指示时钟切换从未完成。

问题 12: 在从休眠模式唤醒时或在时钟切换期间有时会发生复位。

问题 13: 电源异常期间或对应用掉电再上电时有时会发生锁定。

问题 14: 有时数小时后会发生锁定。

问题 15: 器件无法运行。器件被连续锁定在硬故障或复位状态中。

问题 16: PC 无法识别 ICD 4 和/或 PICKIT 4。

问题 17: 在调试模式下, 为什么某些 PIC32MX/PIC32MZ/PIC32MK 寄存器的值未按预期显示?

问题 18: 无法将 ICD 4 或 REAL ICE 连接到目标。

问题 19: 编程有效, 但调试无效。

问题 20: 对于 PCB 设计, 需要使用 MCU 封装上的外露焊盘执行哪些操作?

问题 21: 即使某些 I/O 引脚和/或备用功能引脚的配置正确, 也根本不起作用。

问题 22: MPLAB 无法连接 PIC32 目标器件。

问题 23: VBAT 输入引脚上是否需要使用旁路电容?

问题 24: 无法使用 ADC 正确测量外部电池电压。

问题 25: MCU 和目标 IC 之间经常发生间歇性数据损坏。

问题 26: 远程 PCB 站或设备之间的通信链路上存在间歇性数据损坏。

问题 27: 存在时钟和数据, 但目标 SPI 器件没有响应。

问题 28: 为什么 SPI 数据总是移位一位?

问题 29: 为什么 SPI/SQI 数据会损坏?

问题 30: SD 卡无法写入或擦除, 只能读取。

问题 31: 无法访问 SD 卡。

问题 32: 为什么 UART 数据会损坏?

问题 33: 为什么上电或从休眠状态唤醒后的第一个 UART 字节总是错误?

问题 34: 为什么 USB 数据传输时间长于预期?

问题 35: 为什么 USB 设备无法枚举?

## 常见问题解答 (Frequently Asked Question, FAQ)

---

问题 36: USB 连接已丢失。

问题 37: 为什么 CAN 发送报文错误?

问题 38: 为什么 CAN 无法连接?

问题 39: 为什么在输入电压不低于 30 mV 时 SAR ADC 结果为 0V?

问题 40: 为什么 SAR ADC 结果不一致和/或不准确?

问题 41: 为什么 I<sup>2</sup>C 通信链路不起作用?

问题 42: 无法建立以太网连接。

## 2. 图片索引

VDD 斜率违例示例

用于控制 VDD 斜率的 VDD 软启动电路图

PIC32MX/PIC32MZ/PIC32MK 建议的最基本 CPU 电源旁路

SAM/PIC32C 建议的最基本 CPU 电源旁路

I/O 引脚电流注入图

注入电流设计解决方案选项

PIC32MZ/PIC32MK、PIC32C 和 SAM 典型主振荡器晶振电路

PIC32MX 典型主振荡器晶振电路

PIC32MZ/PIC32MK VDD 短路电路图

ICD 4/REAL ICE 目标电路设计注意事项

ICD 4 ICSP/JTAG/SWD 接线图

PIC32MX/PIC32MZ/PIC32MK ICSP 和复位电路图

JTAG 和串行线接口图

所有调试器 RJ45 MCU 目标侧接口引脚分配

外露焊盘焊盘布局示例图

MCLR #/RESETN 电路图

VBAT 旁路和电池监视图

传输前后的信号完整性图

接地回路图示例

SPI 和 SQI 外部 EEPROM/SRAM/闪存设计图

SPI SD 卡设计示例图

SD 卡写保护开关图

标准 SD 和 Micro SD 卡——SPI 和 SDHC 引脚分配图

SD 卡 SDHC 设计示例图

UART RS232 设计示例图

USB 眼图

USB 主机设计示例图

USB 设备设计示例图

CAN 标称位时间图

典型 CAN 网络

CAN FD/LIN 设计示例图

ADC PCB 设计引起的误差（单端模式与差分模式图）

典型 SAM/PIC32CM SAR ADC 框图

I<sup>2</sup>S 和按钮保护设计图

I<sup>2</sup>C 保护设计图

电源输入保护图

以太网 RMI 设计示例图

PCB 空隙的接地灌铜

模拟地与数字地布局

外部连接器的接地建议

印刷电路板布线示例

PCB 设计中的电流回路图

高速信号端子示波器图

### 3. 表格索引

信号隔离元件

典型 PCB 走线特性（仅供参考）

SPI 工作模式

USB 模式和数据速率汇总

USB 传输类型和错误重试摘要

USB PCB 布线规则和限制

CAN FD 位时间寄存器

示例 I<sup>2</sup>C 电平转换器逻辑真值表

以太网磁件选择标准

PCB 走线阻抗计算示例：

基于铜重量的典型走线厚度



## 4. 公式索引

公式 1: 晶振 MFG  $C_{LOAD} = \{([C_{IN} + C1] * [C_{OUT} + C2]) / [C_{IN} + C1 + C2 + C_{OUT}]\} + \text{振荡器 PCB 杂散电容}$

公式 2: 简化后的晶振  $C_{LOAD}$  公式:  $C1 = C2 = ((2 * \text{MFG } C_{LOAD} \text{ spec}) - C_{IN} - (2 * \text{PCB 电容}))$

公式 3: PCB 信号串联端接电阻值 =  $\{[(VDD-VOH(\min)) / IOH(\max)] - \text{走线阻抗}\}$

## 5. 简介

32 位 MCU 设计清单是 Microchip 提供的一项增值服务，可在开发过程中为客户提供帮助。本文档提供了有关良好设计实践、常见故障排除问题及其原因以及可能的纠正措施的综合指南。其中还涵盖以下内容：

- 与设计相关的典型问题和故障排除
- 最佳设计实践
- 参考设计示例
- ESD、EMI 和 EFT 保护注意事项
- 典型外设使用问题（ADC、SPI、以太网、CAN FD、LIN、SQI、SDHC、UART 和 USB 等）
- PCB 布线指南

如需其他帮助，请联系 Microchip 32 位设计检查服务部门寻求帮助。我们将派出一支熟练掌握 32 位单片机（PIC32 和 SAM）专业知识的资深工程团队审查设计并提供指导，以缩短设计周期，帮助产品更快上市。

### 5.1 用户问题提交说明

请按照以下步骤提交问题：

1. 确定应用中的主要问题和挑战。
2. 使用[设计和故障排除菜单](#)来参考相应的部分。
3. 在提交问题之前，请完成第 6 章[设计和故障排除菜单](#)的“已完成”列中注明的信息审核。

### 5.2 Microchip 客户支持服务

[www.microchip.com/clientsupport](http://www.microchip.com/clientsupport)

### 5.3 Microchip 技术支持服务

[microchipsupport.force.com/s/](http://microchipsupport.force.com/s/)

## 6. 基本 32 位 MCU 设计和故障排除菜单清单

表 6-1. 32 位 MCU 故障排除菜单清单

清单项	问题类别	问题类型	已完成
1	功能异常	<ul style="list-style-type: none"> <li>在排除故障之前，请查看产品勘误表，确保符合所有已知的变通方法，并避免使用不受支持的功能或模式。要获取勘误表，请转到目标 MCU 产品页面，选择 <b>Documentation</b>（文档）选项卡。</li> </ul>	
2	CPU 启动问题	<ul style="list-style-type: none"> <li>VDD 斜率</li> <li>电源旁路</li> <li>上电序列</li> <li>I/O 引脚电流注入</li> <li>晶振</li> <li>时钟切换</li> </ul>	
3	意外复位	<ul style="list-style-type: none"> <li>POR/BOR</li> <li>NMI（不可屏蔽中断——异常错误）</li> <li>ESD/EMI/EFT 事件</li> </ul>	
4	调试问题	<ul style="list-style-type: none"> <li>ICD 4/REAL_ICE ICSP（PGDx/PGCx）</li> <li>JTAG/SWD</li> </ul>	
5	PCB MCU 连接	<ul style="list-style-type: none"> <li>外露焊盘</li> <li>PIC32MZ/PIC32MK VUSB3V3</li> <li>MCLR#/复位#</li> <li>VBAT 和电池监视</li> </ul>	
6	串行数据损坏/错误	<ul style="list-style-type: none"> <li>阻抗匹配</li> <li>接地回路</li> <li>SPI/SQI</li> <li>SD（SDHC）</li> <li>UART</li> <li>USB</li> <li>CAN FD</li> </ul>	
7	ADC	<ul style="list-style-type: none"> <li>典型 SAM SAR ADC 总不可调整误差源</li> <li>ADC 噪声</li> <li>VREF 精度</li> <li>电路 IR 下降失调</li> </ul>	
8	I <sup>2</sup> S	<ul style="list-style-type: none"> <li>I<sup>2</sup>S 和 PCB 按钮保护和设计示例</li> </ul>	
9	I <sup>2</sup> C	<ul style="list-style-type: none"> <li>I<sup>2</sup>C 保护和设计示例</li> </ul>	
10	进线电源保护	<ul style="list-style-type: none"> <li>EMI/EFT 保护设计示例</li> </ul>	
11	以太网	<ul style="list-style-type: none"> <li>典型以太网问题</li> <li>特殊以太网 10/100 Base-T 设计指南</li> <li>未使用的以太网线缆对注意事项</li> <li>以太网 RJ45 连接器注意事项</li> <li>以太网磁件注意事项</li> <li>以太网设计示例</li> <li>以太网保护设计要点</li> </ul>	
12	PCB 布线指南	<ul style="list-style-type: none"> <li>综合 PCB 布线指南和建议</li> </ul>	

**注：**  
**第 1 步：** 确定应用中的主要问题和/或挑战。  
**第 2 步：** 使用本清单来参考相应的部分。  
**第 3 步：** 在提交问题之前，请完成本表“已完成”列中注明的信息审核。

## 7. MCU 启动问题

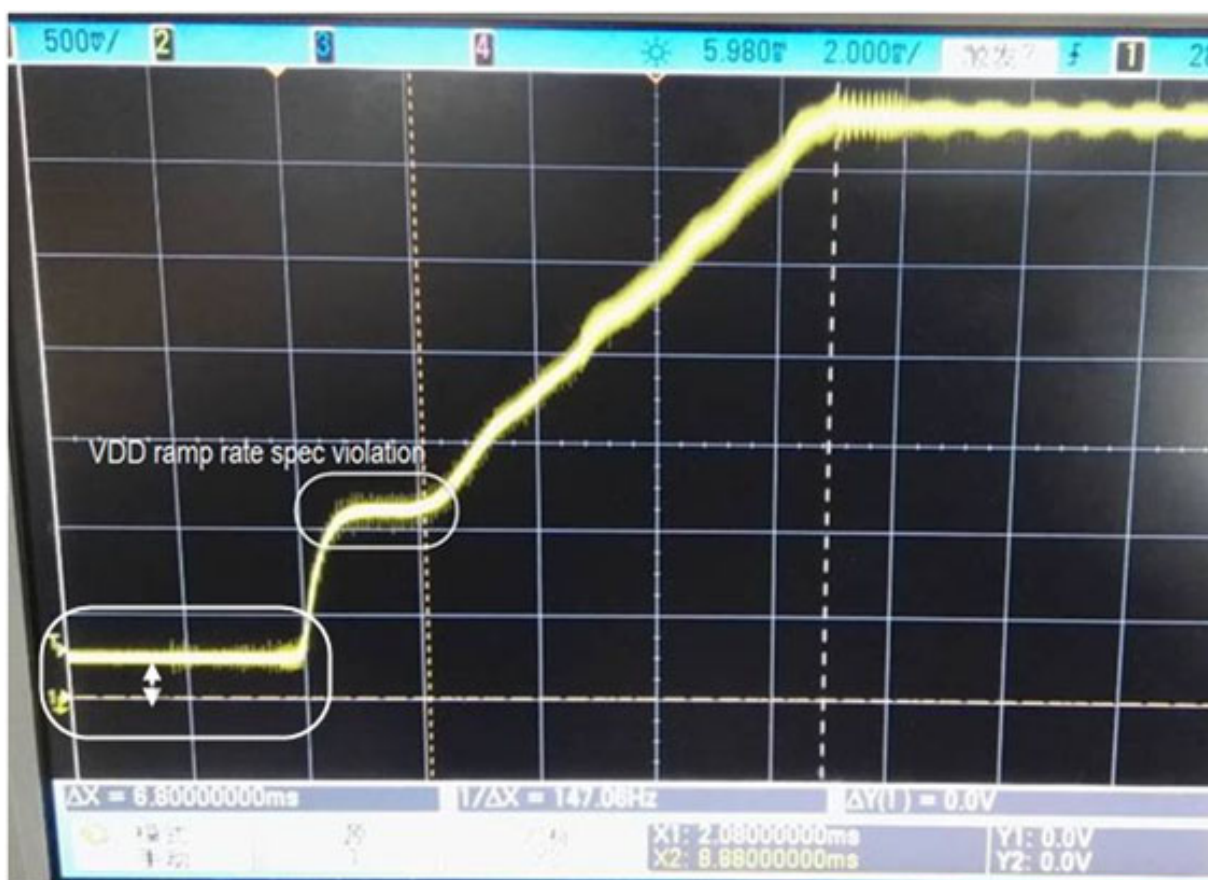
### 7.1 VDD 斜率

**问题：1：** 上电期间出现间歇性启动问题或某些器件根本无法启动。

- 如果不符合数据手册的 VDD 斜率，则可能导致锁定问题或不正确的 POR 和 BOR（即 BOD）。VDD 斜率以单位时间的伏特数表示，这意味着在从 0V 到标称 VDD 的整个上电过程中，VDD 电压必须符合斜率规范。

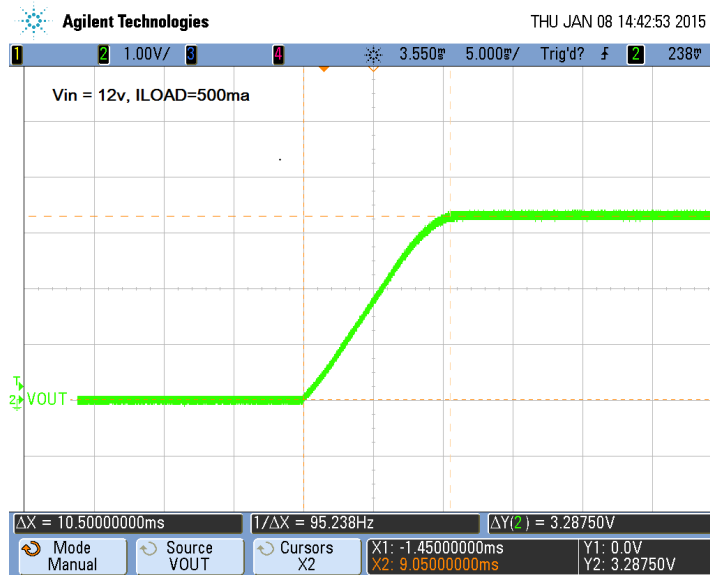
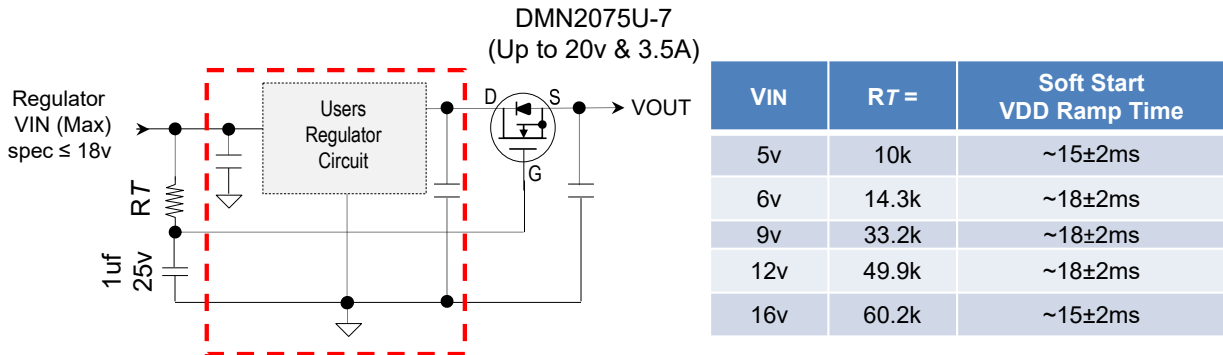
**注：** 以下 VDD 波形包含 2 处 VDD 斜率规范违例，可能导致启动问题。不应想当然地认为“只要 VDD 在斜坡时间内达到其标称阈值，它们便符合规范”。这是一个错误的假设，具体请参见下面的 VDD 斜率图。在 VDD 稳定的两个时间段内，VDD 斜率基本上为 0 V/ms，因此不符合斜率规范。这可能会引起问题，因为内部电路具有各种阈值，当这些阈值触发时，会启动各种延时，从而在限制的时间段内向内部逻辑发出内部复位和/或“未就绪”信号。一些触发逻辑对上升时间十分敏感，因此，VDD 上的噪声也可能会引起触发逻辑输出抖动。这种抖动会对使能/禁止信号进行门控并复位逻辑和状态机，从而导致逻辑亚稳定性问题。VDD 并非从 0V 开始，对于某些产品，VDD 可能会超出最小 VPOR 规范，以保证适当的上电复位（Power-on-Reset, POR）。因此，所有 MCU 都具有 VDD 斜率规范，有时甚至包括下降斜率，以便覆盖由于电网波动而导致的部分瞬态功耗。

图 7-1. VDD 斜率违例示例



- 可以将简单的 VDD 软启动电路应用于任何现有应用稳压器设计中，以确保实现平滑的线性上电。可以通过更改电阻值  $R_T$  来控制斜率。
  - 在 LDO 中，FET 前后的稳压器旁路电容必须相同。用户必须确保稳压器和 FET 之间的旁路电容满足相关数据手册中定义的稳压器最小容性负载。

- 在降压稳压器中，反馈和电感电路必须位于稳压器与 FET 之间的稳压器侧。FET 前后的电容必须相同，并满足稳压器的建议最小容性负载要求规范。



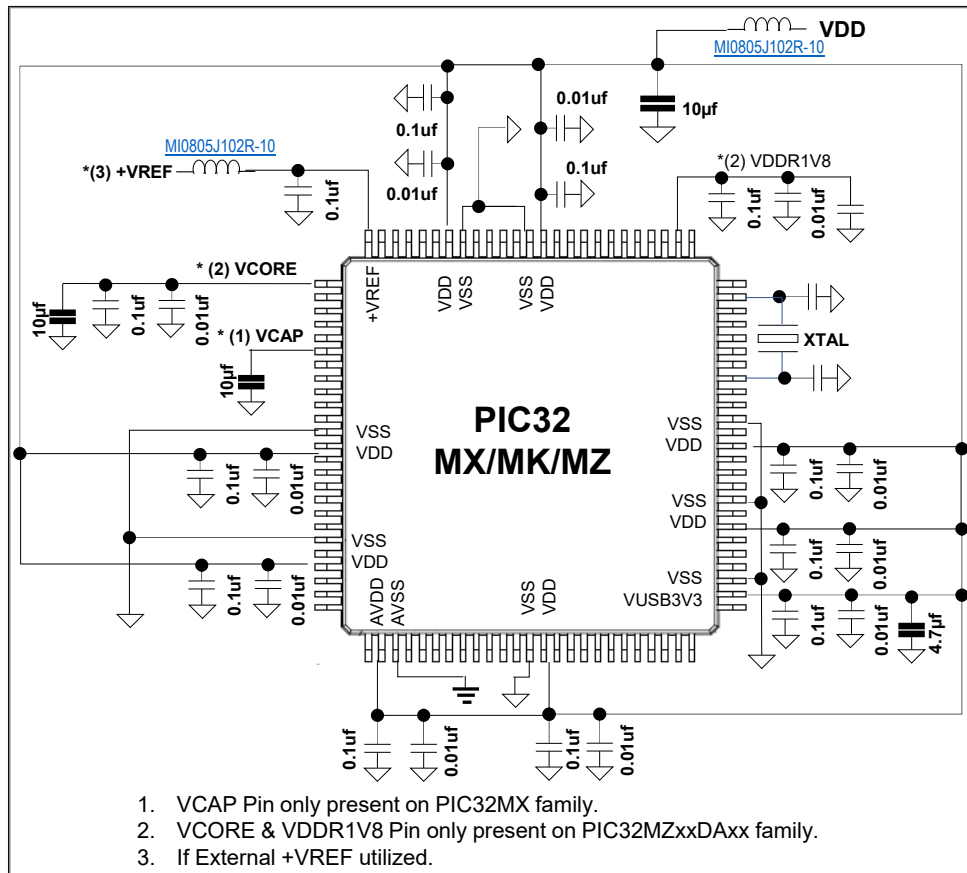
[返回清单](#)

## 7.2 电源旁路

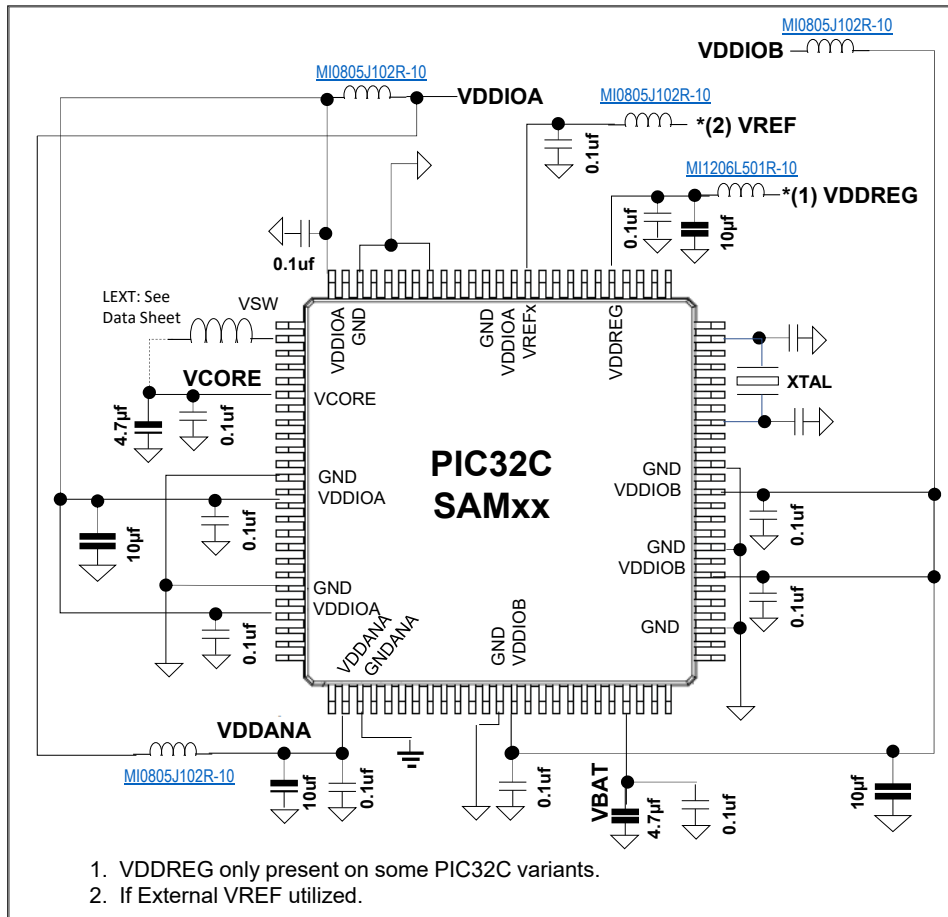
**问题 2:** 间歇性启动、从低功耗模式唤醒或模拟可重复性问题。

**注:** 在启动、从低功耗模式退出进入工作模式以及时钟从较低工作频率切换到较高工作频率时，会出现峰值电流需求周期，此时不正确的旁路会影响 MCU。此外，它还会影响时序抖动以及显著影响模拟外设性能。

- 理想情况下，所有陶瓷电容的 ESR  $\leq 1\Omega$ 。
- 除 BGA 等无法使用内部封装引脚的情况外，PCB 上的所有电容均与 MCU 位于同一侧。
- 高频旁路电容的位置应尽可能靠近器件电源引脚。
- 大电容靠近器件放置，但在多个电源引脚组共用同一 PCB 电源总线的情况下，这些电容应在器件周边均匀分布，并紧靠目标电源引脚对组。例如，在某些 SAM 系列中，VDDIOA 和 VDDIOB 需要使用单独的 10  $\mu$ F 电容，但是大多数设计都连接到同一 PCB 电源总线上。不要将两个大电容并排连接，而是将它们分布在 VDDIOA 和 VDDIOB 组附近并居中放置。



[返回清单](#)



[返回清单](#)

### 7.3 上电序列

**问题 3:** MCU 上电时出现间歇性启动和/或锁定问题。

- 上电期间，MCU 上不同电源之间的电压变化有严格的限制。在 PIC32MX/PIC32MZ/PIC32MK 中，上电期间 VDD 和 AVDD 的差值不得超过 0.3V。在 SAM/PIC32C 中，涉及的电压为 VDDIO、VREG 和 VDDANA。如果为不同的 MCU 电源使用不同的稳压器，则设计人员必须考虑如何管理这种情况，尤其是采用级联稳压器的设计（即 5V > 3.3V > 1.8V 稳压器）。这可能会引发电源序列问题以及电压斜坡差分同步规范违例。
- 对于 PIC32MX，不跟踪 VDD 和 AVDD 的一个结果可能是标称值为 1.8V 的 VCORE 将在标称 VDD 电压下饱和。在短时间内，这可能不会损坏器件，但最终会引发可靠性问题。
- 为避免因 MCU 内部 I/O 上桥臂保护二极管中发生意外的电流注入而引起 MCU POR 和启动问题，请确保先为 MCU 供电，然后再接通来自单独供电电路的信号。否则会导致外部逻辑高电平信号为 MCU 供电。如果无法实现，请考虑使用信号逻辑隔离器，例如光电、电容或电感耦合元件（见图 7-1、7-5B 和 7-6）。

**注：**即使是部件编号相同的稳压器也会以不同的速率斜升，具体取决于电源总线的负载和大电容。

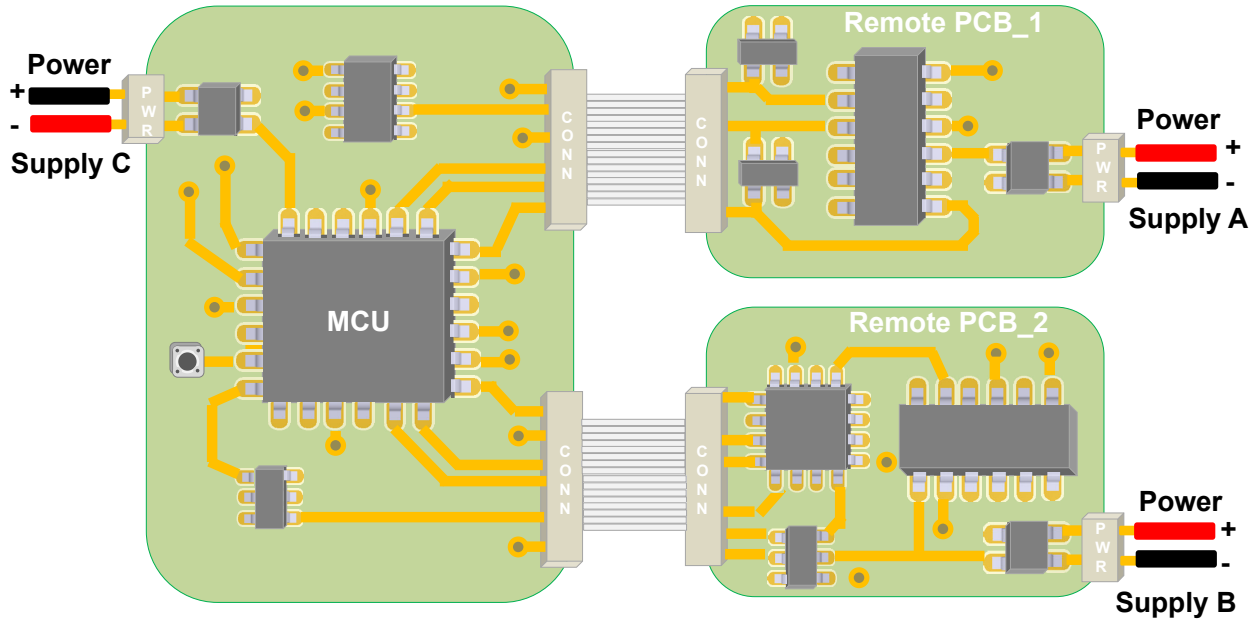
[返回清单](#)

### 7.4 来自远程电路的 I/O 引脚电流注入

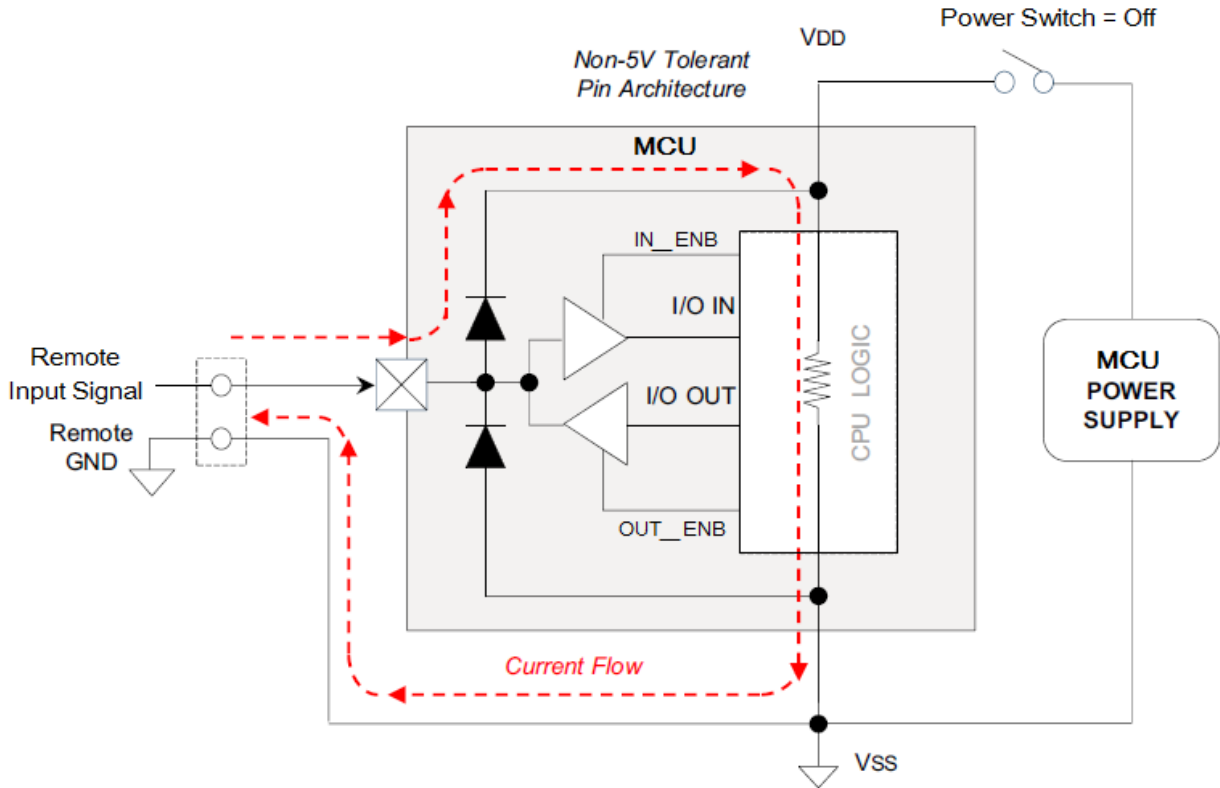
**问题 4:** 启动期间出现导致异常错误或锁定的间歇性 MCU POR、BOR 和 BOD 复位问题。

在远程接口电路采用独立电源的互连设计（即下图中通过线缆与左侧连接的 PCB）中，需要持续关注可能导致间歇性启动相关问题（由 POR、BOR 和 BOD 异常引起）的注入电流，因为当通过仍处于工作状态的远程电路关断 MCU 电源时，MCU 可通过 I/O 引脚的内部上桥臂引脚保护二极管（即右侧图片）而不是 VDD 来供电。在这些情况下，VDD 实际上永远不会达到足够低的电压，因此无法正确使能 MCU 内部上电复位电路。通常可以通过以下方式检测到上述情况：在上电和断电期间绘制示波器图并检查任何 VDD 异常，即 VDD 在关断时未按预期从 0V 开始，或者 VDD 的上电电压似乎达到 0.6V 至 1.2V 之间，短暂稳定，随后继续上升至其预期的标称值，曲线图类似于 [VDD 斜率违例示例](#)。这些设计很容易受到以下因素的影响：

- 互连 PCB 网络中的电源序列







## 选项:

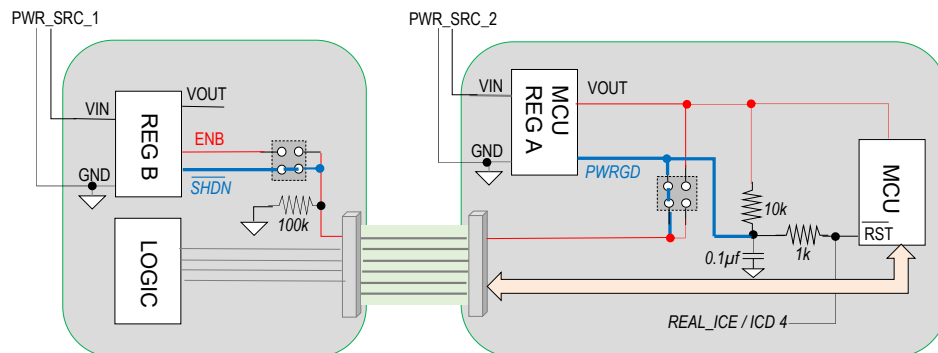
- 下图描述了一种最简单的设计解决方案，它可以通过远程供电的互连 PCB 来避免意外的注入电流。许多稳压器（例如 MCP1727、MIC5528、MIC29151/301/501/751）具有使能（ENB）引脚、关断（SHUTDOWN）引脚或电源正常（POWER GOOD）功能引脚。下文描述的解决方案可确保始终先为 MCU 供电，然后才会为远程 PCB 上电，因此，远程 PCB 无法通过流经 MCU I/O 内部上桥臂输入保护二极管的注入电流为 MCU 供电。此方案也可以用作电源定序器。始终先为 MCU 供电至关重要。无论 MCU 使用稳压器 PWRGD 还是 MCU I/O 引脚，始终建议用户使用来自 MCU PCB 的控制信号让其他 PCB 成为受 MCU PCB 控制的电源。

**方法 1:** 大多数稳压器上的电源正常引脚是集电极开路输出，通常会保持低电平，直到 MCU 电源达到标称值的 90% 为止。输出为三态，10k 上拉将其强制为逻辑高电平，从而使能远程 PCB 稳压器电源。

**注:** 当 MCU PCB 稳压器与电源正常引脚配合使用时，如果按照下图所示的配置连接 MCU 复位引脚，则还可以用作 MCU 复位监控器。

**方法 2:** 概念和最终结果与方法 1 相同，只是会使用 MCU PCB VOUT 作为远程 PCB 稳压器使能信号。

图 7-6. 注入电流设计解决方案选项



- 对于相对低速的信号（即通常  $\leq 2.5$  MHz），如下方法已经足够：使 MCU 输入引脚上的串联电阻与远程信号一致，以将每个引脚的注入电流限制为约 1.0 mA。所有注入电流的总和不得超过约 15 mA。

根据经验：

$R_{SERIES(max)} = (VDD * 0.75) / 1 \text{ mA}$ 。其中，输入信号的最大频率  $\leq 1 / (1.95E-10 * R_{SERIES(max)})$ 。将注入电流限制为足够低的值将确保其无法为 MCU 供电，并且影响内部上电复位逻辑。

- 另一种方法是使用与下表中所列项类似的元件来以电气方式隔离互连信号：

表 7-1. 信号隔离元件

信号隔离元件	电感耦合	电容耦合	光电耦合	模拟信号耦合
ADuM7241/40 ARZ (1 Mbps)	X			
ADuM7241/40 CRZ (25 Mbps)	X			
ISO721		X		
LTV-829S (双通道)			X	
LTV-849S (四通道)			X	
FSA266/NC7WB66				X

[返回清单](#)

## 7.5 晶振

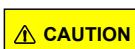
**注：**在所有 MCU 中，晶振自动增益控制（Automatic Gain Control, AGC）逻辑在启动时仅执行一次 AGC 功能。它们不会随着温度或电压变化而不断监视和调节晶振增益。

### 7.5.1 PIC32MZxxEFxx

**问题 5：**将主振荡器与晶振一起使用时，某些 PIC32MZxxEFxx 器件间歇性不启动。

**问题 6：**PIC32MZxxEFxx 以 200 MHz 运行，某些器件上存在锁定或异常错误。

该 MCU 系列记录了定义所需晶振电路配置（硬件和软件）以及受支持晶振频率的晶振勘误，此外还记录了关于受限工作频率与闪存 WS（即，PRECON.PFMWS 中定义的等待状态）的芯片版本 B2 勘误。



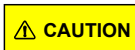
PIC32MZxxEFxx 芯片版本 B2 当前仅支持最高 184 MHz 的工作频率和 2 个等待状态。超过 184 MHz 的工作频率需要 3 个 WS。使能程序存储器高速缓存；但是，这将影响 <1.5% 的 MCU 带宽。

### 7.5.2 PIC32MK/PIC32MZxxDAxx/PIC32C

**问题 7：**外部时钟（External Clock, EC）模式下，MCU 使用外部时钟，时钟输入 MCU，但是没有任何反应。

**问题 8：**使用使能了自动增益控制的晶振，POSCAGC = 1，并进行时钟故障检测。

这些器件系列以及某些 PIC32C 型号的 MCU（有关信息，请参见数据手册）具有自动增益控制功能，如果用户未明确定义（常常被忽略），则由配置字定义为“默认使能”。使能自动增益控制时，将忽略手动粗调和微调的晶振增益设置。在适当的配置字中使能 POSCAGC 位并选择 POSC HS 模式时，主振荡器将自动执行线性步距搜索（从最低晶振电路增益到最高晶振电路增益），以找到最低功率/增益设置，保证用户晶振的振荡。各个 AGC 增益搜索步距之间的延时由 POSCAGCDLY 定义。



如果选择了外部时钟（EC）模式和 AGC，将导致没有内部时钟且 CPU 处于死区。



当选择了 AGC、POSCAGC = 1 且进行时钟故障监视时，将在配置字中使能 FCKSM。如果将 POSCAGCDLY 设置为较长时间，则某些系列上可能会进行“时钟故障检测”（OSCCON.CF 和 RNMICON.CF），因为在 AGC 能够达到晶振稳定工作所需的稳定增益步距之前，预期的时钟故障超时已到期。降低 POSCAGCDLY 的设置值。

如果使用 AGC 且晶振启动延时过长，请更改 POSCAGCDLY 设置。

### 7.5.3 SAMxx

**问题 9：** 使用自动增益控制，但在某些板上出现间歇性启动问题和/或温度过高。

某些 SAM 产品系列采用与晶振自动增益控制（Automatic Gain Control, AGC）（有时称为自动回路控制使能（Automatic Loop Control Enable, ENALC）或自动幅值增益控制（Automatic Amplitude Gain Control, AMPGC），具体取决于产品系列）等效的功能，其工作原理与 PIC32MK/PIC32MZ 系列的 AGC 大不相同。在 SAM 产品系列中，手动增益设置由以下之一控制，具体取决于器件系列：

- XOSCCTRL.ENALC: XOSCCTRL.IMULT 振荡器电流倍增器、XOSCCTRL.IPTAT 振荡器参考电流和 XOSCCTRL.LOWBUFGAIN 至关重要
- XOSCCTRL.AMPGC: XOSCCTRL.GAIN

在这些情况下，一旦用户选择了增益范围，自动增益控制将仅在用户选择的增益范围设置内寻找最低晶振功率。



如果用户增益设置过低，则自动增益控制将无济于事，并且可能导致全部器件发生随机振荡故障，尤其是在温度较低和/或 MCU 工作电压较低的情况下。如果出现上述任何一种情况，请为相关系列使用适当的 XOSCCTRL.LOWBUFGAIN (= 1) 或更高的 XOSCCTRL.GAIN 设置以扩大增益范围。在某些情况下，通过禁止自动增益控制并选择较高的增益设置即可获得更好的结果。自动增益控制更准确的描述是增益衰减器，因为对于选定的用户，增益设置将对其进行衰减以实现维持振荡所需的最低功率。

[返回清单](#)

### 7.5.4 晶振负载电容

晶振负载电容不仅会影响晶振，还会影响自动增益控制电路的振荡能力。许多用户错误地认为，他们在电路设计中使用的负载电容是晶振制造商建议的负载电容。晶振制造商建议的  $C_{LOAD}$  值实际上表示建议的有效电路电容，而不是要使用的实际标称电容。

**注：** 如果使用了 MCU 自动增益控制功能，或者未发现 XOSC 信号削波，则不需要晶振串联限制电阻。计算用于选择晶振负载电容的等效有效电容的公式如下：

**公式 1：** 晶振 MFG  $C_{LOAD} = \{([C_{IN} + C1] * [C_{OUT} + C2]) / [C_{IN} + C1 + C2 + C_{OUT}]\} +$  振荡器 PCB 杂散电容

假设  $C1 = C2$  且 XOSC 引脚的  $C_{IN} \approx C_{OUT}$ ，则可进一步简化上述公式，最终得到  $C1$  和  $C2$  的求解公式如下：

**公式 2：** 简化后的晶振  $C_{LOAD}$  公式： $C1 = C2 = ((2 * MFG C_{LOAD} 规范值) - C_{IN} - (2 * PCB 电容))$

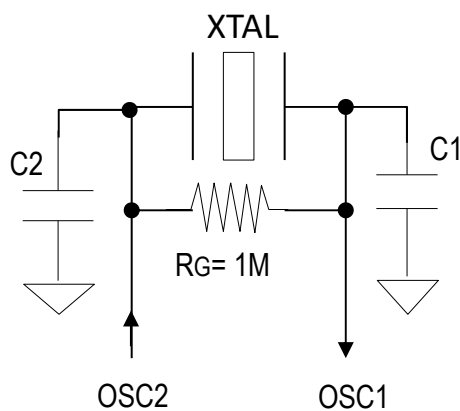
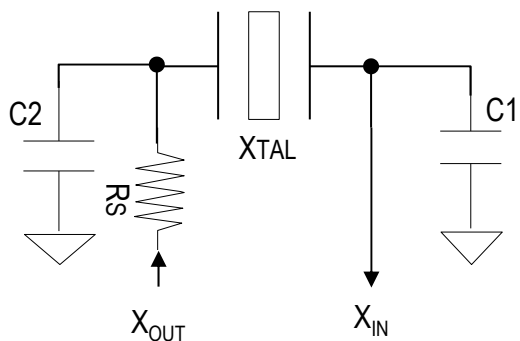
1.  $C_{IN}$  和  $C_{OUT}$  必须在数据手册中定义（如果两者均不取 4.5 pF）。
2. 如果  $C_{IN} \neq C_{OUT}$ ，则  $C_{IN} = C_{OUT} = (C_{IN} DATA SHT + C_{OUT} DATA SHT)/2$ 。
3. 标准 PCB 走线电容 = 1.5 pF/12 mm（即 1.5 pF/0.47 英寸）。



**提示：** 用于提高振荡器增益（即，增大振荡器信号的峰-峰值）的技巧：

- 选择 XTAL 制造商 ESR 额定值较低的晶振
- $C1$  和  $C2$  值也会影响振荡器的增益。它们的电容值越小，有效增益越大。
- 为了提高启动性能，使  $C1$  略小于  $C2$ 。

**注：** 使用自动增益控制（AGC）选项可以忽略其中一些增益提高技巧。



[返回清单](#)

## 7.6 时钟切换

### 7.6.1 PIC32MX/PIC32MZ/PIC32MK

**问题 10:** MCU 的工作频率不符合预期，或者没有执行任何 MCU 代码。

这些产品系列中存在可能进行芯片硬件时钟切换或软件时钟切换的技术，如果不注意，有时会引发一些问题。这些系列中与时钟切换相关的配置字控制位包括：

- **IES0:** 内/外部时钟源切换位
  - 1 = 使能内/外部 HDW 时钟切换模式（使能双速启动）
  - 0 = 禁止内/外部 HDW 时钟切换模式（禁止双速启动）

当 IES0 置 1 时，只要超限条件仍存在，CPU 硬件就会先基于 FRC 启动执行代码，待 FNOSC 所定义的时钟源就绪且稳定后自动切换（无论是否使能了 FCKSM 时钟切换）。

- **FCKSM:** 时钟切换和监视选择配置位
  - 11 = 使能软件运行时的时钟切换和时钟监视

10 = 禁止软件运行时的时钟切换，使能时钟监视

01 = 使能软件运行时的时钟切换，禁止时钟监视

00 = 禁止软件运行时的时钟切换和时钟监视

除非用户明确定义每个配置控制位，否则在默认情况下，所有配置位均置 1（即闪存擦除条件）。因此，用户通常希望在其应用程序代码的开头使用 `OSCCON` 寄存器以在软件中进行时钟切换。但是，如果用户忘记清除 `IESO = 1`，则存在以下可能性：



当用户代码尝试进行软件时钟切换时，`IESO` 硬件时钟切换可能会同时进行，最终导致两种时钟切换均因逻辑争用而失败。



两种时钟切换（`HDW` 或 `SW`）中可能有一种成功，但具体是哪一种并非总能确定。如果 `IESO HDW` 时钟切换成功，则最终时钟将是配置字中的 `FNOSC` 定义的时钟。否则，如果 `SW` 时钟切换成功，则时钟源由 `OSCCON` 寄存器中的 `NOSC` 位定义。



`IESO = 1` 与 `FCKSM = 0x11` 或 `0x01` 应当相互排斥，但可保证这两个条件不会同时发生的严格受控条件除外。

**问题 11：** 尝试将时钟从 `FRC` 切换到带 `PLL` 的 `FRC`，但是系统时钟仍然只有 8 MHz 和/或 `OSCCON.OSWEN` 位指示时钟切换从未完成。

**注：** 请参见相应的数据手册中典型的 `OSCCON.NOSC` 时钟源列表。

软件时钟切换仅支持使用 `OSCCON` 时钟切换序列在以下任意组合之间进行切换：

**OSCCON.NOSC：** 新振荡器选择位

111 = 保留

110 = 备用快速 RC（Backup Fast RC，BFRC）振荡器

101 = 内部低功耗 RC（Low-Power RC，LPRC）振荡器

100 = 辅助振荡器（Secondary Oscillator，SOSC）

011 = USB PLL（UPLL）输入时钟和分频比由 `UPLLCON` 设置

010 = 主振荡器（POSC）（HS 或 EC）

001 = 系统 PLL（System PLL，SPLL）输入时钟和分频比由 `SPLLCON` 设置

000 = 内部快速 RC（Fast RC，FRC）振荡器按照 `FRCDIV<2:0>` 位的值进行分频

有一个 `FRC` 和一个单独的 `SPLL`，但没有 `FRC_PLL`。为此，用户需要在预计执行 `FRC_PLL` 操作时遵循这些步骤（假设用户已经在 `FRC` 上运行，并且编译或编程步骤期间未配置用户 `PLL` 配置位），以便在将来进行时钟切换。否则，用户必须执行以下步骤：

1. 配置 `PLL SPLLCON.PLLMULT`、`PLLODIV` 和 `PLLRANGE`。（即，当 `PLLICK = 1` 时，忽略 `SPLLCON.PLLIDIV`）。
2. 写入 `SPLLCON.PLLICK`，选择 `FRC` 作为 `PLL` 的输入。
3. 执行 `OSCCON` 解锁序列。
4. 写入 `NOSC = SPLL` 且 `OSWEN = 1`，以执行 `OSCCON` 时钟切换。

[返回清单](#)

## 8. 意外复位



**重要：** 在 PIC32MX/PIC32MZ/PIC32MK 系列器件中，如果用户代码尝试在运行时修改闪存中的任何配置寄存器值，则可能导致复位（由于配置寄存器不匹配）和锁定。有关复位原因，请参见 RCON 和 RNMICON 寄存器。不要尝试在运行时对配置寄存器进行任何修改。

### 8.1 PIC32MX POR/BOR

**问题 12：** 在从休眠模式唤醒时或在时钟切换期间有时会发生复位。

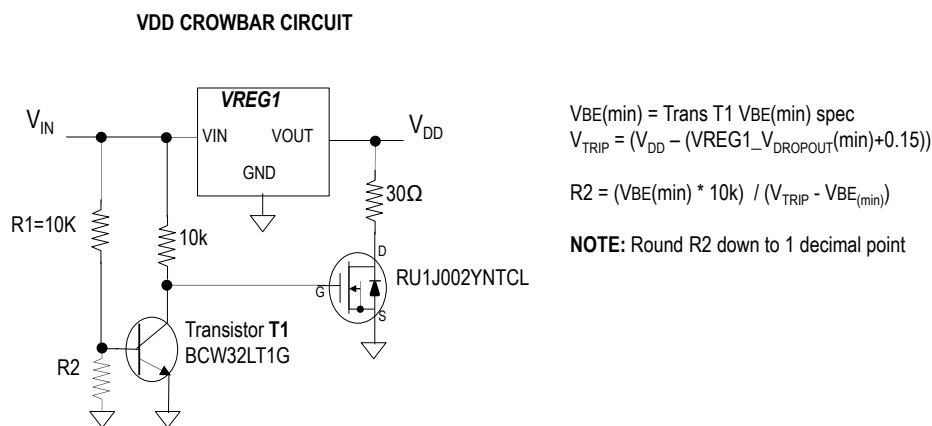
- 在 PIC32MX 系列器件上，从休眠事件唤醒后，在时钟从较低频率切换为全速工作频率期间，当使用 IESO = 1（即双速启动）时，瞬时电流浪涌会给内部 LDO 带来压力，因为内部 LDO 对突发电流需求变化的响应时间有限。如果用于内部 LDO 的外部 VCAP 旁路电容小于 10  $\mu\text{F}$ ，并且电容 ESR < 1-3 $\Omega$ ，则可能发生 POR 或 BOR。在电流瞬变期间，需要使用 10  $\mu\text{F}$  VCAP 来稳定内部 LDO。建议使用陶瓷电容或固体钽电容。ESR 越低，对瞬时电流变化的响应越快，因此，内部 LDO 噪声和电压波动也越小。

### 8.2 PIC32MZ/PIC32MK/PIC32C POR/BOR

**问题 13：** 电源异常期间或对应用掉电再上电时，有时会发生锁定。

对于 PIC32MZ/PIC32MK 系列和部分 PIC32C 系列，数据手册中给出的“VPOR”规范值如下：

- VPOR = VSS+0.3V（最大值）。这意味着为了保证正常上电复位（POR），VDD 必须降至 POR 阈值以下。当发生瞬时电源异常或对系统进行快速掉电再上电时，从断电到恢复正常的这段时间内，VDD 可能无法始终下降得



### 8.3 NMI 和异常事件

**问题 14：** 有时数小时后会发生锁定。

- 在 PIC32MX/PIC32MZ/PIC32MK 系列的异常错误中，如果用户的软件异常中断服务程序未明确定义异常处理程序，则编译器将在其中使用“while (1)”指令自动创建一个。

- 如果应用程序遇到异常错误，可能会导致明显的锁定，需要复位事件才能恢复。
- 要确定异常的来源，需检查 SRAM 中的堆栈并找到异常中断返回地址。该地址减 1 处的指令即是产生异常中断错误的指令。

也可以尝试以下方法：

查看协处理器 0 寄存器中的 CAUSE 寄存器 13 的 ExcCode 位域来确定异常的类型。

MIPS 架构中定义了两种类型的异常：“精确”和“不精确”。

“不精确”异常是指以下寄存器均未指向导致异常的指令（即空白）。幸运的是，大多数 MIPS 异常都是“精确”异常，因此下列寄存器中通常会有一个寄存器包含返回地址。

- 协处理器 0 寄存器中的 EPC 寄存器 14：上一次异常的程序计数器。
- 协处理器 0 寄存器中的 ErrorEPC 寄存器 30：上一次错误异常的程序计数器。
- 协处理器 0 寄存器中的 DEPC 寄存器 24：上一次调试异常的程序计数器。

不精确异常：

- 总线错误
- 高速缓存错误
- L2 高速缓存错误

如果在识别出上述类型的不精确异常时协处理器 0 寄存器中的 EPC 寄存器 12 的 EXL 位置 1，则 EPC 将不会更新：在这种情况下，EPC 将指向中断处理程序中的一条指令，但这是没有意义的。后续的浮点异常也会发生类似的情况。

- 如果在用户的应用程序已使能 WDT 的情况下发生异常，而用户又未明确定义对应的异常处理程序，则编译器默认异常处理程序（采用 `while(1)`）将使 WDT 复位器件。请参见 RCON 和 RNMICON 寄存器。

**问题 15：** 器件无法运行。器件被连续锁定在硬故障或复位状态中。

- 对于 SAM 和 PIC32CM 系列，如果 PCB 设计人员无意中将 1.2V VDDCORE 连接到 VDDIO，则可能发生这种情况。此外，还可能由于硬故障锁定、器件损坏或 WDT 使能的芯片复位而导致各种问题。

## 8.4 ESD/EMI/EFT 事件

在大多数应用中，ESD、EMI 和 EFT 源都来自应用 PCB 的外部。因此，用户必须将保护措施重点放在通往电子逻辑的所有外部路径上。您可以将 PCB 想象成您的住宅。为了防止盗贼入室，安防系统应重点安装在所有的出入口位置。对待 ESD、EMI 和 EFT 也是如此。第一级保护必须防止破坏性的电气事件访问应用程序，否则一旦它们破坏了电子接口和/或电源总线，就会渗透并影响包括 MCU 在内的所有子系统逻辑。ESD、EMI 或 EFT 事件最常导致如下结果：

- MCU 和系统复位
- MCU 锁定
- 元件故障

定义：

- ESD：静电放电（Electrostatic Discharge）
- EMI：电磁干扰（Electromagnetic Interference）
- EFT：电气快速瞬变（Electrical Fast Transients）

精简保护规则建议：

- 使用各种滤波器或瞬态抑制器来保护外部端口的所有输入或输出信号
- 对于外部电源的输入或输出源也应当提供保护
- 未使用的 MCU 引脚通过 1k 电阻接地
- 请勿直接或通过电容将机架或外部端口电缆屏蔽层连接到逻辑地。尽可能小心谨慎地保持隔离。大多数 ESD、EMI 和 EFT 事件都来自外部。因此，应用外壳和电缆屏蔽层便成为电气干扰传入电子逻辑核心位置的主要管道，这可能会导致意外行为。  
ESD、EMI 和 EFT 干扰属于瞬态事件，通常会产生 1 ns 至 20 ns 的峰值电流或功率。

---

**注：**

1. 有关 ESD、EMI 或 EFT 保护的更多详细信息，请参见 [AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项](#)，可在 [Microchip](#) 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”（文档 > 应用笔记）选项卡下查看。
2. ESD 认证测试涵盖两种基本类型的测试：“接触放电”（CONTACT DISCHARGE）和“空气放电”（AIR DISCHARGE）。顾名思义，接触放电是指直接应用外壳裸露表面（包括显示屏幕、键盘、按钮、USB 端口、RS232 端口和 SD 端口等）上的任何位置进行放电，但不包括 PCB 表面。PCB ESD 测试仅允许直接在 PCB 上方（通常为 1 英寸）进行空气放电（即电弧放电）。

[返回清单](#)



## 9. 调试问题

**问题 16:** PC 无法识别 ICD 4 和/或 PICkit™ 4。

- 使用 Microchip 开发工具时，如果该工具无法正常运行或者根本无法运行，则可能是由于安装了错误的设备驱动程序所致。如果在 Windows® 操作系统（Operating System, OS）中针对 Microchip 开发工具安装的是默认的 USB 设备驱动程序，便可能安装了错误的 USB 驱动程序。  
要更正此问题，请参见：[ww1.microchip.com/downloads/en/DeviceDoc/51417E.pdf](http://ww1.microchip.com/downloads/en/DeviceDoc/51417E.pdf)。

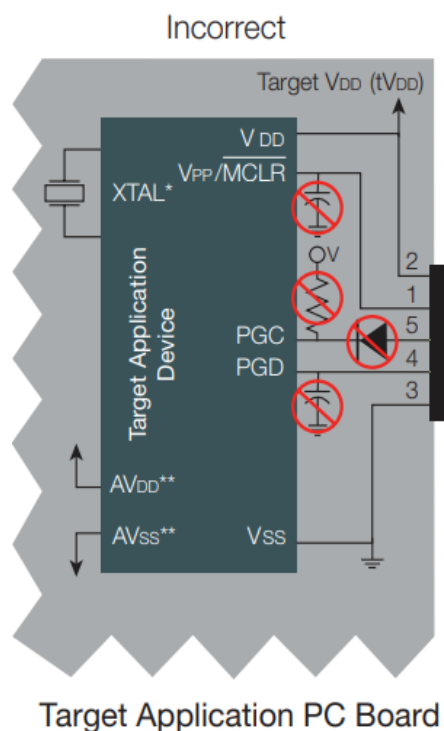
### 9.1 ICD 4/REAL ICE™ ICSP™ (PGDx/PGCx) 调试问题

**问题 17:** 在调试模式下，为什么某些 PIC32MX/PIC32MZ/PIC32MK 寄存器的值未按预期显示？

- 某些产品在调试模式下的行为会略有不同。例如，部分器件上的某些外设 在断点处可能无法按预期暂停。某些产品报告表明，在数据包传输过程中，即使外设已暂停，DMA 控制器也会一直继续工作，直到传输完成为止。在某些情况下，这可能会导致数据损坏。有关任何版本的 MPLAB® X IDE 和调试器/编程器的已知问题列表，请参见以下位置的相应自述文件：
  - C:\Program Files (x86)\Microchip\MPLABX\v5.4\docs。其中的 v5.4 替换成您当前的版本

**问题 18:** 无法将 ICD 4 或 REAL ICE 连接到目标。

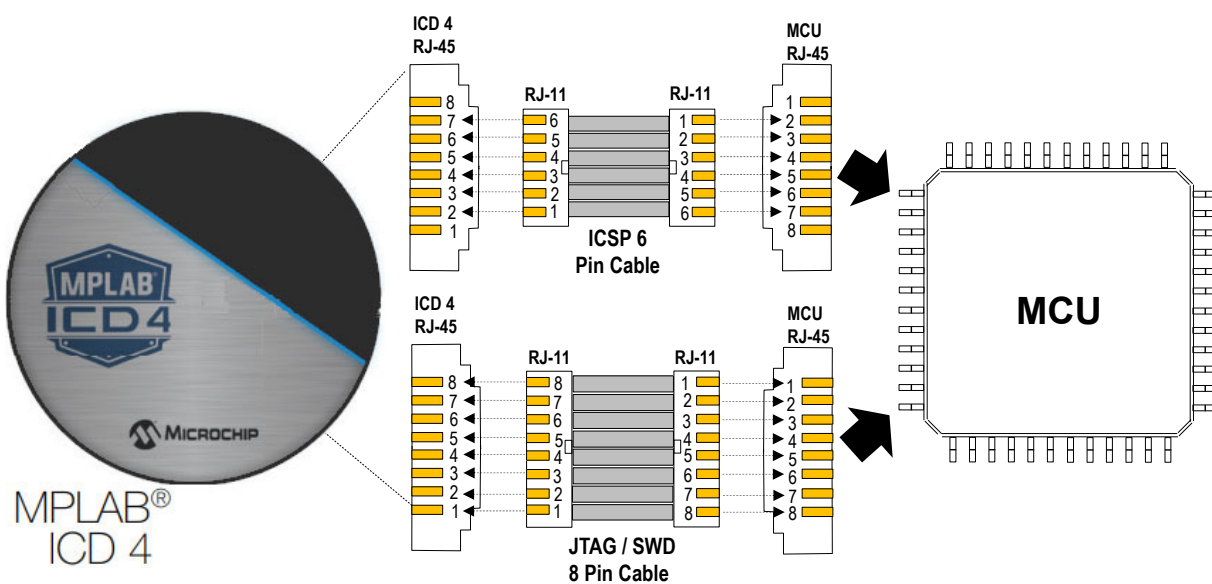
**图 9-1. ICD 4/REAL ICE 目标电路设计注意事项**



**注:** 图中所示为 ICD 4 RJ11 连接器的引脚分配。

- 请勿直接在 MCLR 上使用电容：它们将阻止 MCLR 快速变化，进而导致无法满足进入和维持调试或编程模式所需的时序
- 请勿在已激活的 PGCx/PGDx 引脚上使用复用功能：它们专用于与 MPLAB ICD 4/REAL ICE 进行通信
- 请勿在 PGCx/PGDx 上使用电容：它们将阻止数据线和时钟线在编程和调试通信期间快速变化
- 请勿在 PGC/PGD 上使用二极管：它们将阻止 MPLAB ICD 4 与目标 PIC® MCU 之间进行双向通信
- 请勿超出推荐的电缆长度：有关电缆长度，请参见 MPLAB ICD 4 在线帮助或用户指南中的硬件规范


图 9-2. ICD 4 ICSP/JTAG/SWD 接线图



Signal	ICD 4 RJ45 (Female Conn)	ICD 4 RJ11 Cable (Male Conn)		MCU RJ11 Cable (Male Conn)		Target MCU RJ45 (Female Conn)
		(6) Pin RJ11	(8) Pin RJ11	(6) Pin RJ11	(8) Pin RJ11	
TMS / SWDIO	8	NC	8	NC	1	1
AUX	7	6	7	1	2	2
TCK / SWTCLK / PGC	6	5	6	2	3	3
TDO / SWO / PGD	5	4	5	3	4	4
GND	4	3	4	4	5	5
VDD	3	2	3	5	6	6
NMCLR (#MCLR)	2	1	2	6	7	7
TDI	1	NC	1	NC	8	8



图 9-5. 所有调试器 RJ45 MCU 目标侧接口引脚分配

MPLAB® ICD 4 / REAL ICE			DEBUG									
Connector	Pin #	Pin Name	ICSP (MCHP)	MIPS EJTAG	CORTEX® SWD	JTAG	DW(IRES)	UPDI	PDI	AW	AVR®_ISP	TPI
	8	TTDI		TTDI		TDI					MOSI	
	7	TVPP	$\overline{\text{MCLR}}$	$\overline{\text{MCLR}}$	$\overline{\text{MCLR}}$							
	6	TVDD	VDD	VIO_REF	VTG	VTG	VTG	VTG	VTG	VTG	VTG	VTG
	5	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
	4	PGD	DAT	TDO	SWO	TDO		DAT	DAT	DATA	MISO	DAT
	3	PGC	CLK	TCK	SWCLK	TCK					SCK	CLK
	2	TAUX	AUX	TAUX		$\overline{\text{RESET}}$	SW-DAT		CLK		$\overline{\text{RESET}}$	RST
	1	TTMS		TTMS	SWDIO	TMS						

**问题 19:** 编程有效，但调试无效。

- 在编程模式下，编程器通过 ICD 4 PGC/TCK/SWCLK 信号接口来提供对目标进行擦除和编程所需的时钟。但在调试模式下，MCU 振荡器必须运行。如果 MCU 系统时钟源（POSC、XOSC、XOSC32 和 FRC 等）不工作，则调试器将无法运行。请务必检查时钟源和用户时钟配置。

[返回清单](#)

## 10. PCB MCU 连接



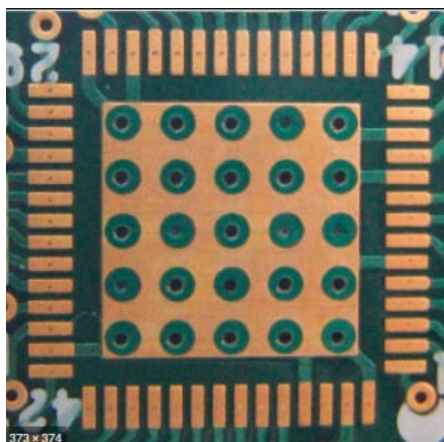
**重要：** 在 PIC32MX/PIC32MZ/PIC32MK 系列器件中，任何引脚的功能优先级均按照引脚映射表中从左到右的信号顺序定义。用户使用的任何引脚功能都会覆盖引脚名称中该功能右侧列出的所有功能。

### 10.1 外露焊盘

**问题 20：** 对于 PCB 设计，需要使用 MCU 封装上的外露焊盘执行哪些操作？

用户应将外露焊盘粘贴（焊接）到所在封装下方的匹配周边接地焊盘上（使用过孔插入接地层），如下图所示。这不能替代器件上指定的电源地引脚，这些引脚仍必须接地。这样便于将接地引脚连接到地平面。

图 10-1. 外露焊盘布局示例



### 10.2 PIC32MX/PIC32MZ/PIC32MK VUSB3V3 引脚

**问题 21：** 即使某些 I/O 引脚和/或备用功能引脚的配置正确，也根本不起作用。

USB On-The-Go (OTG) 由以下线缆接口信号组成：

- D+ (标准 USB 数据)
- D- (标准 USB 数据)
- VBUS (标准 USB +5V)
- USBID (OTG 支持，需要)
- VBUSON (OTG 支持)

在 PIC32MZ/PIC32MK 系列器件中，内部 USB PHY 收发器及上述所有接口 I/O 焊盘信号均由 VUSB3V3（而不是 VDD）供电。上面列出的标准 USB 信号是专用引脚，不用于任何复用的其他备用功能或 I/O。USBID 和 VBUSON 功能具有备用功能和 I/O 映射功能。



即使不使用 USB，VUSB3V3 也必须连接到 VDD，以便为与相应器件的 USBID 和 VBUSON 共用引脚的任何备用功能或 I/O 供电。

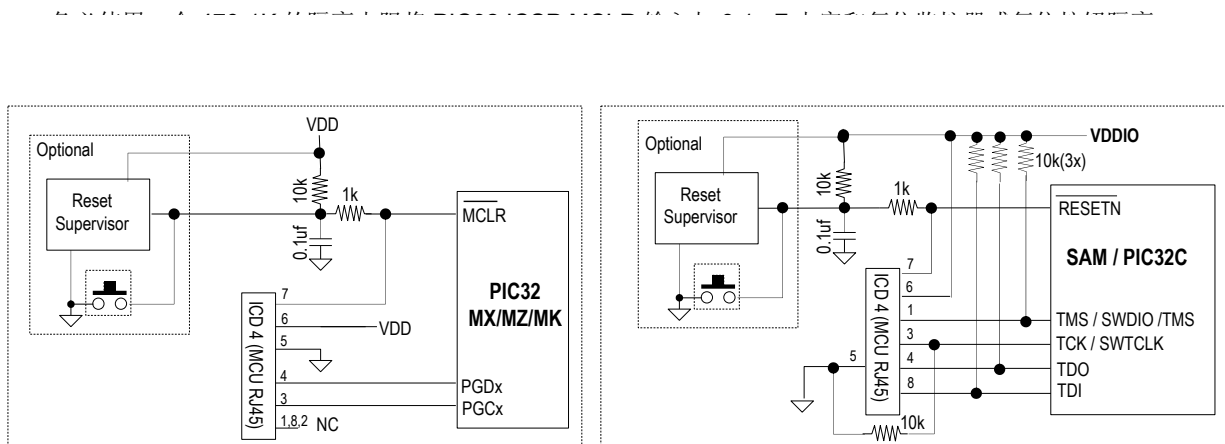


如果使用 USB 但不需要 OTG 支持，则必须在配置字中禁止 USBID 和 VBUSON 引脚功能，以便使用映射到这些引脚的任何低优先级功能。使能 USB 后，这些 OTG USB 扩展功能（USBID 和 VBUSON）会变为工作状态，但可事先在配置字中将其禁止。

注：PIC32MZ 器件的 USB 没有 VBUSON OTG 信号。

### 10.3 MCLR#/RESETN

问题 22：MPLAB 无法连接 PIC32 目标器件。



### 10.4 VBAT

问题 23：VBAT 输入引脚上是否需要使用旁路电容？

建议在 VBAT 输入引脚上并联一个 4.7  $\mu\text{F}$  电容和一个 0.1  $\mu\text{F}$  电容，以确保在从 VDD 电源内部切换到 VBAT 电源的过程中将瞬变降至最小，如下图所示。

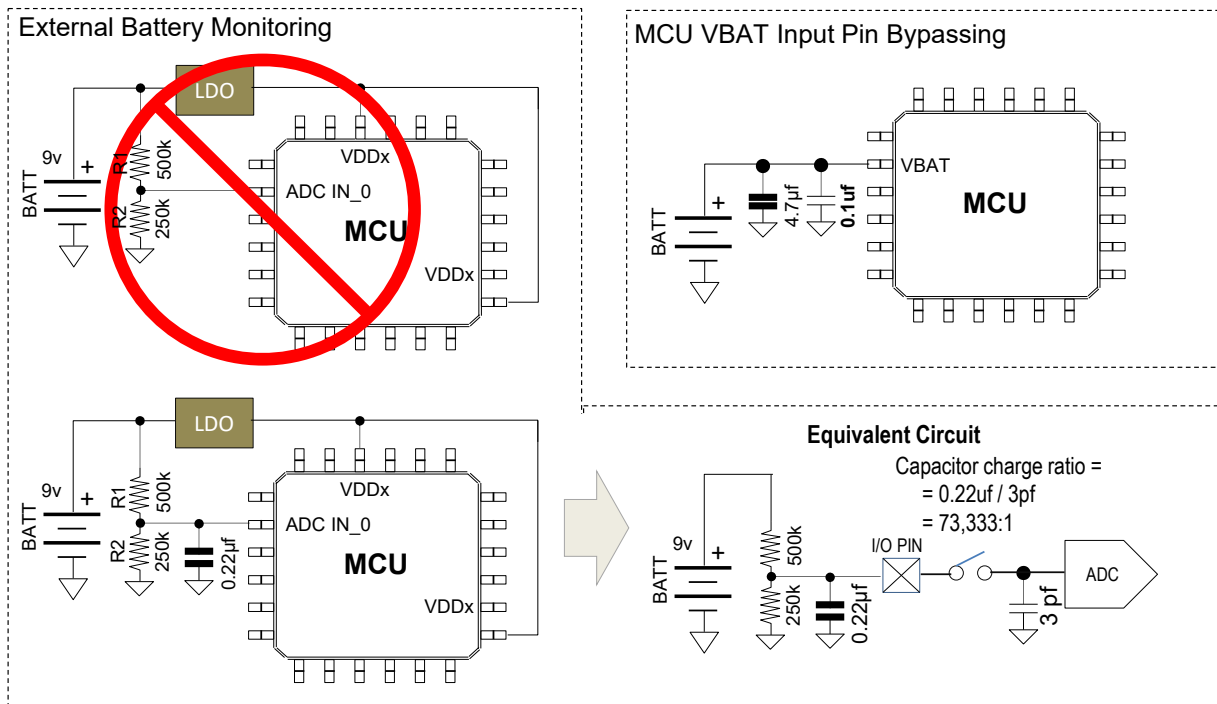
问题 24：无法使用 ADC 正确测量外部电池电压。

监视外部电池时，通常用户会使用类似于下图所示的分压器来确保：

- 将电池电压调至低于 MCU（ $V_{DDANA}-0.6\text{V}$ ），以实现正确的 ADC 测量
- 电池监视尽可能消耗极少的电池电量，从而以 MCU 低功耗模式延长电池使用寿命

由于在电池分压器中使用了大电阻来最大程度地降低静态模式下消耗的电池电量，因此 ADC 测量电池所需的采样时间会被应用中其他 ADC 模拟采样任务占用，或者根本无法实现。一个简单的变通方法是在 ADC 电池输入通道的输入端使用一个电容。该电容将在大约  $(5 * R1 * C)$  的时间内从 0V 充满。当 ADC 在这段时间过后测量电池电压时，来自外部电容的极少量电荷将立即转移到 ADC 内部大约 3 pF 的保持电容上，在合理的 ADC 吞吐速率下，仅需要极短的采样 ADC 时间。在这种情况下，有效的 ADC 采样/保持 RC 采样时间仅为 ADC 内部的  $R_{\text{SAMPLE}} * C_{\text{SAMPLE}}$ 。内部 ADC  $R_{\text{SAMPLE}}$  通常在 2-5k 之间。R1 不再是相关系数。

图 10.2 VBAT 电源到 ADC 的电路



[返回清单](#)

## 11. 串行数据损坏错误

### 11.1 阻抗匹配

**问题 25:** MCU 和目标 IC 之间经常发生间歇性数据损坏。

信号快速上升和下降以及源器件和目标器件之间阻抗不匹配都会导致信号完整性问题或反射。而信号频率越高，信号上升和下降得就越快。（请参见下面的信号完整性图。）

确定何时需要进行传输线端接的一般准则是：

- 当 PCB 走线的单向传播延时等于或大于所施加信号上升/下降时间的一半时（以较快的边沿为准），应根据传输线的特性阻抗对传输线进行适当端接

由于大多数设计人员不知道 PCB 走线的传播延时，因此应采用以下步骤：

- 检查是否已在原点（即信号源）处或总线上的所有器件输出引脚处（对于双向信号）使用串联电阻来端接所有超过 15 MHz 的高速信号

如需根据用户的 PCB 设计规范确定要使用的端接电阻值，请访问以下网址计算线路阻抗：

<https://www.eeweb.com/tools/microstrip-impedance> = 走线阻抗

**公式 3:** PCB 信号串联端接电阻值 =  $\{(VDD-VOH(min)) / IOH(max)\} - \text{走线阻抗}$

**表 11-1. 典型 PCB 走线特性（仅供参考）**

走线宽度	PCB 层间高度	走线厚度	PCB 基板介电常数	走线阻抗
0.175 mm	113 μm	1.41 mil (1 盎司铜)	4	<b>54.6Ω</b>

例如，

PCB 信号串联端接电阻值 =  $\{(VDD-VOH(min)) / IOH(max)\} - \text{走线阻抗}$

=  $\{(3.3-2.4) / 10 \text{ mA}\} - 54.6\Omega$

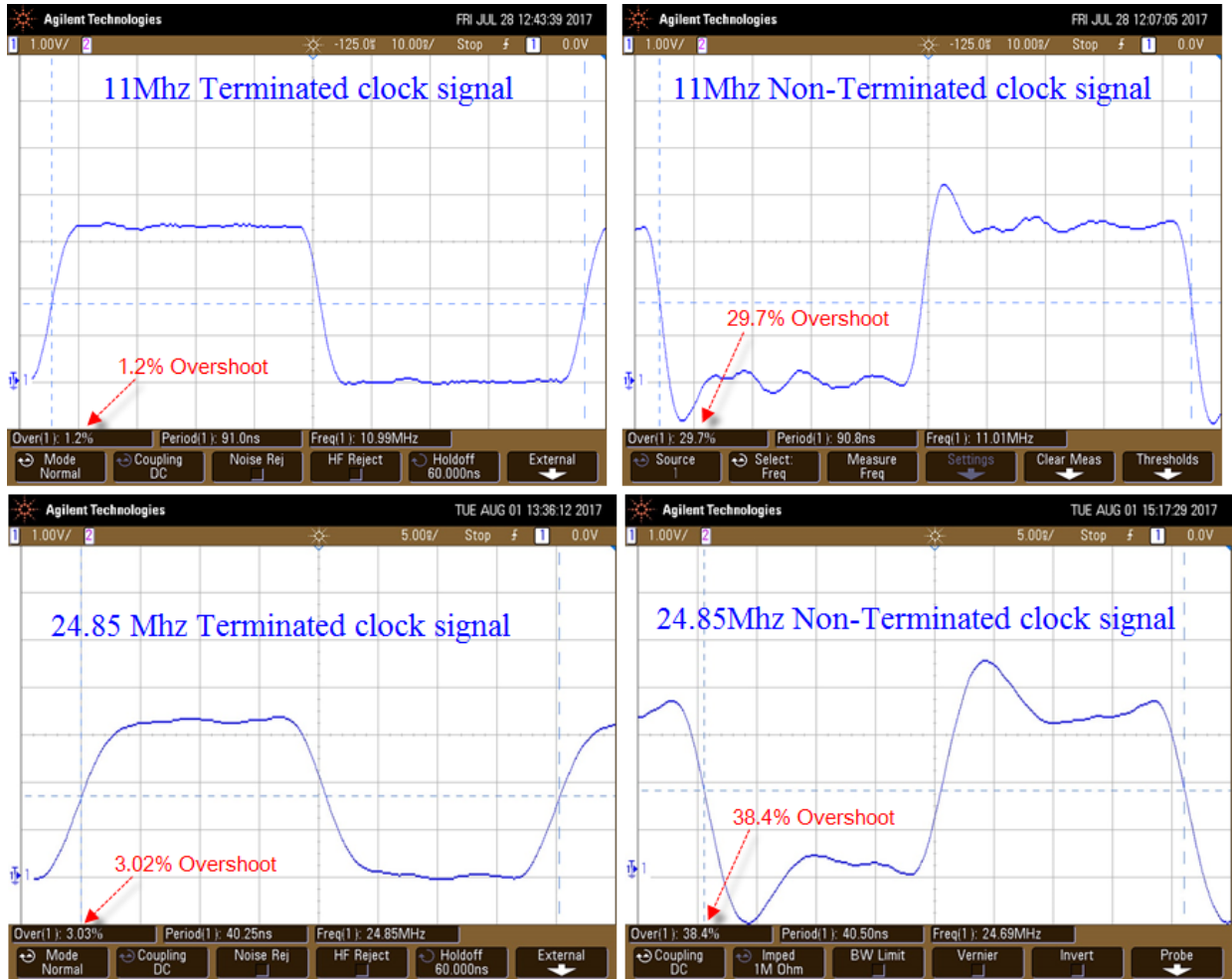
= 35.4Ω（舍入为最接近的标准电阻值）

= 33Ω

**注：** 端接电阻过大会影响信号的压摆率和速度，进而导致信号不再满足指定的时序要求。



图 11-1. 传输前后的信号完整性图



### 11.1.1 通用高速信号精简布线指南

1. 首先对差分 and 高速走线进行布线，必要时使邻近地平面层的 PCB 层 1（与 MCU 的信号源/目标位于 PCB 的同一侧）保持差分阻抗匹配。
2. 确保时钟和高速信号走线都有一个完整的参考地平面，其下方没有间隙或空隙。
3. 对带信号地的信号层上的所有空隙进行灌铜。
4. 最大限度地减少在高速信号设计过程中使用过孔。过孔会使信号走线的电容、阻抗变化和频率增大，进而导致反射和辐射 EMI。
5. 使用 3 倍宽度规则提供足够的走线分离以避免串扰问题。

注：请参见本文档末尾处的完整 PCB 布线指南。

### 11.1.2 PIC32MZ/PIC32MK

除了为 MCU 高速信号使用端接电阻，某些器件系列（例如 PIC32MZ 和 PIC32MK）还具有 I/O 输出引脚压摆率控制功能。通过缩短上升和下降时间，可以改善信号完整性并消除数据收发器错误。

[返回清单](#)

## 11.2 接地回路

**问题 26:** 远程 PCB 站或设备之间的通信链路上存在间歇性数据损坏。

- 当不同位置的设备通过共用公共数字地（但其本地 PCB 数字地的电位各不相同）的电缆进行数字互连时，可能会形成接地回路，如下图所示。接地回路电流的大小取决于相同交流电源总线上、甚至不同交流相上不同电源总线上的工作负载汲取的电流。在非隔离逻辑电源（例如开关电源）上，这会导致接地在不同电压下变化很小（通常在 mV 范围内），因为数字地是相对于交流中性点电位而言。在同一 PCB 上，由于接地偏移是单个 PCB 上所有逻辑所共有的，因此同一 PCB 上的各个 MCU 元件信号之间没有问题。

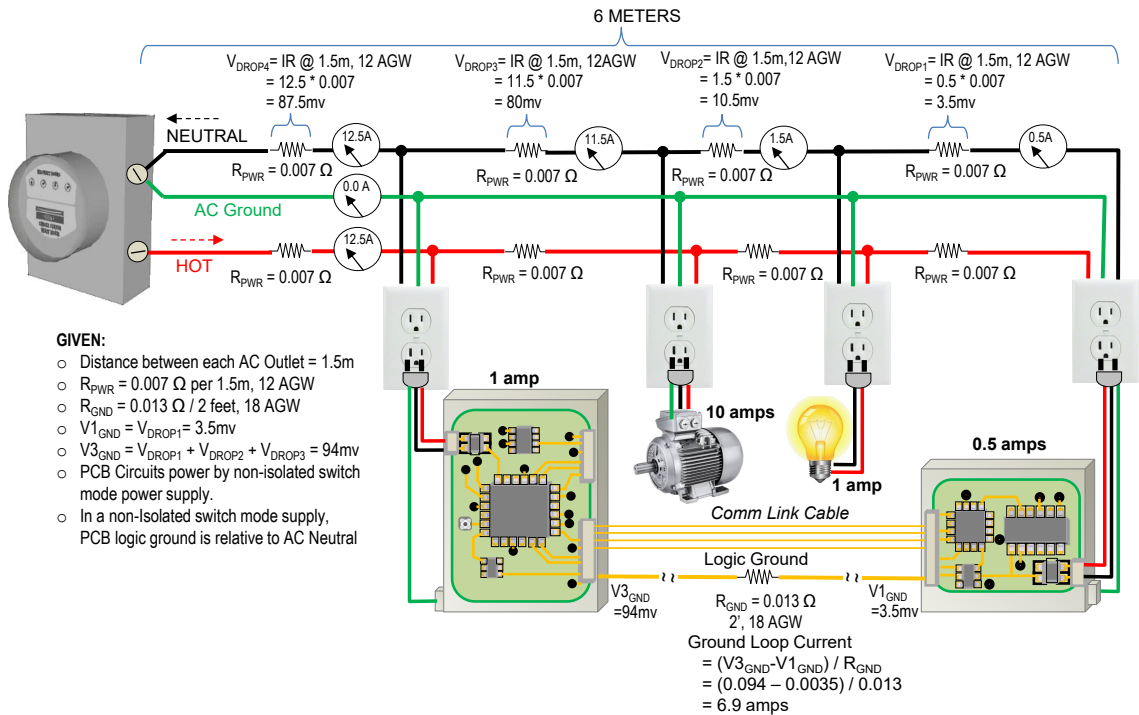
当多个 PCB 板通过电缆互连时，就会出现这个问题。由于  $I = V/R$  并且典型互连 PCB 布线的电阻相对较小，因此即使很小的逻辑接地偏移也会在 PCB 系统之间引起较大的接地回路电流。这种接地偏移会更改远程 PCB 系统之间的相对 VIL/VIH 和 VOL/VOH 信号阈值，因为 VIL/VIH/VOL/VOH 始终是相对于其本地逻辑地而言。在许多交流负载处于工作状态期间，信号问题可能会变得更糟，而随着交流工作负载被关闭或禁止，信号问题可能会有所改善。这就解释了为什么工业控制系统中的设备之间普遍采用 4-20 mA 电流回路通信，因为它既不依赖也不使用通信链路接地。家用恒温器和 HVAC 之间的大多数通信均为 4-20 mA 电流回路控制。

- 如果怀疑存在接地回路问题，只需通过同一交流插座为互连的各个 PCB 系统供电便可轻松确认。如果通信链路数据损坏错误消失，即可确认存在需要解决的接地回路电流问题。

选项：

- 使用与信号隔离元件表格中所列元件类似的元件对 PCB 通信链路电缆接口信号进行电气隔离，并断开数字地线互连或使用更高电压的信号（例如 RS232），以便改善抗噪性和接地回路失调无效性。
- 使用隔离电源为 PCB 系统供电

图 11-2. 接地回路图示例



[返回清单](#)

### 11.3 SPI/SQI

问题 27: 存在时钟和数据，但目标 SPI 器件没有响应。

- 串行外设接口（Serial Peripheral Interface, SPI）具有四种典型的数据传输模式。SCK 极性描述时钟的默认空闲状态，SCK 相位/边沿描述数据在 SCK 的哪个边沿有效。

表 11-2. SPI 工作模式

模式	SCK 极性——CPOL/CKP	SCK 相位——CPHA/CKE
0	0 = SCK 低电平空闲	0 = 在上升沿采样数据
1	0 = SCK 低电平空闲	1 = 在下降沿采样数据
2	1 = SCK 高电平空闲	0 = 在下降沿采样数据
3	1 = SCK 高电平空闲	1 = 在上升沿采样数据



SPI 总线上的大多数 SPI 外设仅采用或接受上表中定义的其中一种或两种工作模式。SPI 总线上的所有器件必须采用或配置为相同模式。确保将 MCU SPI 配置为与 SPI 总线上的远程 SPI 器件兼容的 SPI 模式。如果这些要求中的任何一项未得到满足，用户将无法与目标成功进行 SPI 通信。将 MCU SPI 设置与 SPI 目标外设数据手册中的各种模式进行比较。

#### 问题 28: 为什么 SPI 数据总是移位一位?

- 如果设计的系统中只有一个 SPI 目标，设计人员通常会尝试将目标 SPI #CS 接地以仅使用最基本的 3 线 SPI 接口，从而节省引脚。在这种情况下，用户必须确保在 SCLK 极性为高电平空闲时正确上拉；在从器件 SCLK 极性为低电平空闲时正确下拉。SPI 主器件具有一个可编程的 SCLK 极性位，用户可以将其设置为与目标默认 SCLK 极性匹配。它还具有可编程的时钟边沿。



当用户选择 SPI 时钟边沿来输出从工作时钟状态切换为空闲时钟状态后的数据变化并且时钟极性为高电平空闲时，如果主器件不向目标提供片选信号，MCU 上电后使用的 I/O 引脚将为三态且悬空为低电平。当使能 SPI 并输出 I/O 引脚 SCLK 功能时，该引脚将从三态悬空逻辑低电平跳变为 SCLK 空闲逻辑高电平状态。目标器件会将此视为有效时钟边沿，并移出从器件移位寄存器 Msb 中的任何内容（正确、错误或为空）。在此之后，每次传输都将移出一位。因此，即使系统中只有一个目标 SPI，也强烈建议使用 #CS 来避免发生上述问题。

#### 问题 29: 为什么 SPI/SQI 数据会损坏?

- 在 PIC32MX/PIC32MZ/PIC32MK 中，应确保在主模式下将 SPIxCON.SMP 位置 1 以实现最快的数据速率。在主模式下，不同 SMP 位状态对应的速度差异明显。
- SPI 可以达到的最大速度也存在差异，具体取决于以下内容：



在 PIC32MX.MZ/PIC32MK 系列中使用专用的 SPI SCLK 引脚功能（而不是 PPS 可重映射 SCLK）来实现更高速度。



将相应的 IOSET 引脚用于 SAM/PIC32C 系列中的 SPI 接口信号以实现最高速度。

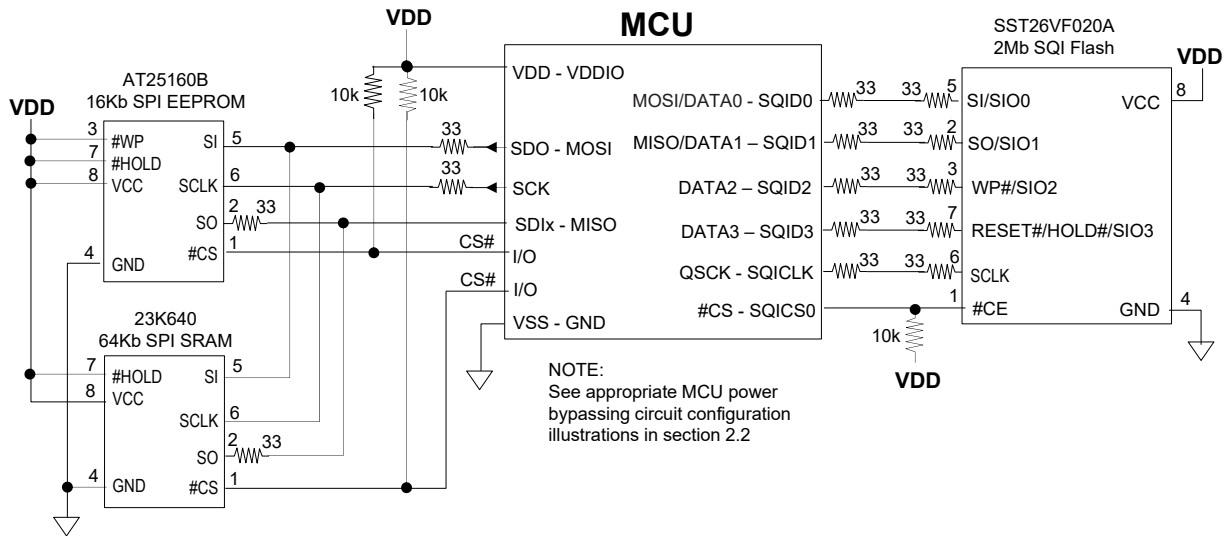
- SQI 外设模块具有最大输入时钟限制。应查看勘误表和数据手册确认限制。
- 在  $\geq 15$  MHz 的较高速度下，应在所有高速输出驱动器侧信号上使用端接电阻。（请参见下面的设计示例以及[阻抗匹配](#)。）

#### 通用高速信号精简布线指南

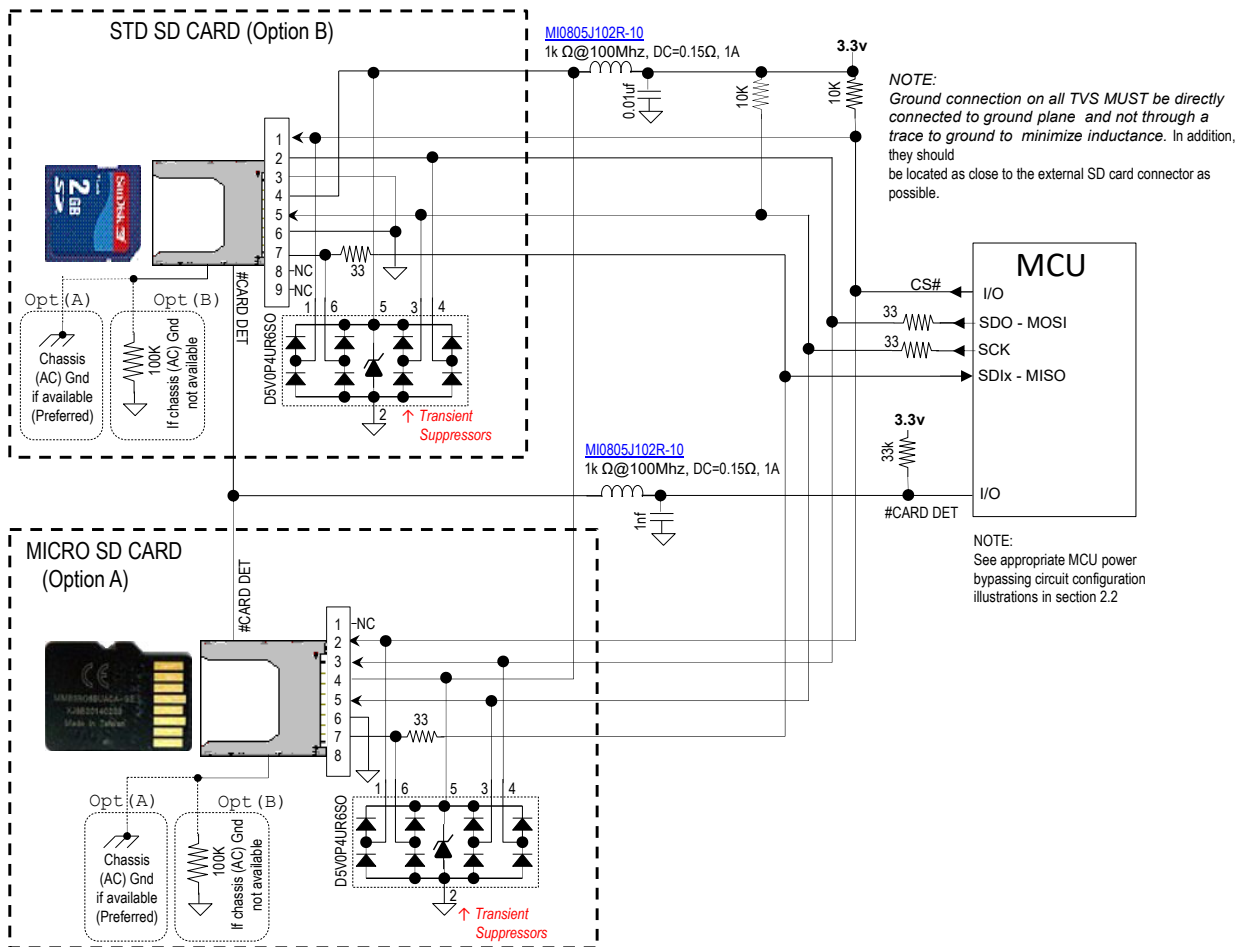
- 确保时钟和高速信号走线都有一个完整的参考地平面，其下方没有间隙或空隙。
- 对带信号地的信号层上的所有空隙进行灌铜。
- 最大限度地减少在高速信号设计过程中使用过孔。过孔会使信号走线的电容、阻抗变化和频率增大，进而导致反射和辐射 EMI。

- 使用 3 倍宽度规则提供足够的走线分离以避免串扰问题。

注：请参见本文档末尾外的完整 PCB 布线指南。



### SPI SD CARD PROTECTION EXAMPLE



---

### 11.3.1 SPI SD 卡保护设计要点

- SD 卡插座必须连接到机架的交流接地（如果可能），或者通过 100k 电阻连接到数字地，以减少任何潜在的 ESD 放电事件。
- 在这种情况下，不需要信号端接电阻，因为 ESD 保护器件 [CM1422-03CP](#) 的 ESD RC 滤波器中有一个 100Ω 的串联电阻。
- 所有 SD 卡信号均经由 ESD RC 滤波器进行滤波。

有关 ESD、EMI 或 EFT 的详细信息，请参见 [AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项](#)，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的 *Documentation > Application Notes* 选项卡下查看。

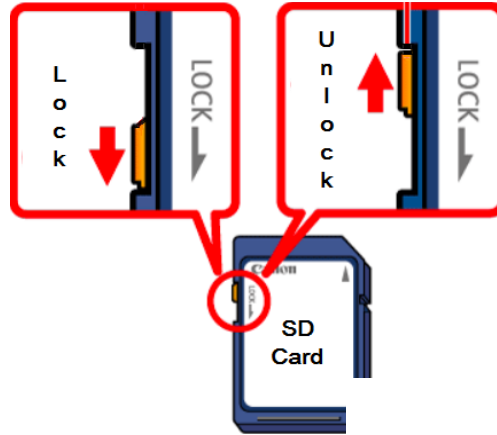
[返回清单](#)

## 11.4 SD 主机控制器 (SDHC)

**问题 30:** SD 卡无法写入或擦除，只能读取。

- SD 卡可能被锁定。SD 卡侧面有一个小滑动开关。插拔卡时偶尔会误开启滑动开关，导致 SD 卡处于写保护状态。

图 11-5. SD 卡写保护开关图



**问题 31:** 无法访问 SD 卡。

- 如果您使用的是软件框架或堆栈，则可能需要将卡检测（即#CD）输入连接到 MCU 接口

**CAUTION** 检查 MCU 接口和软件配置是否需要卡检测。

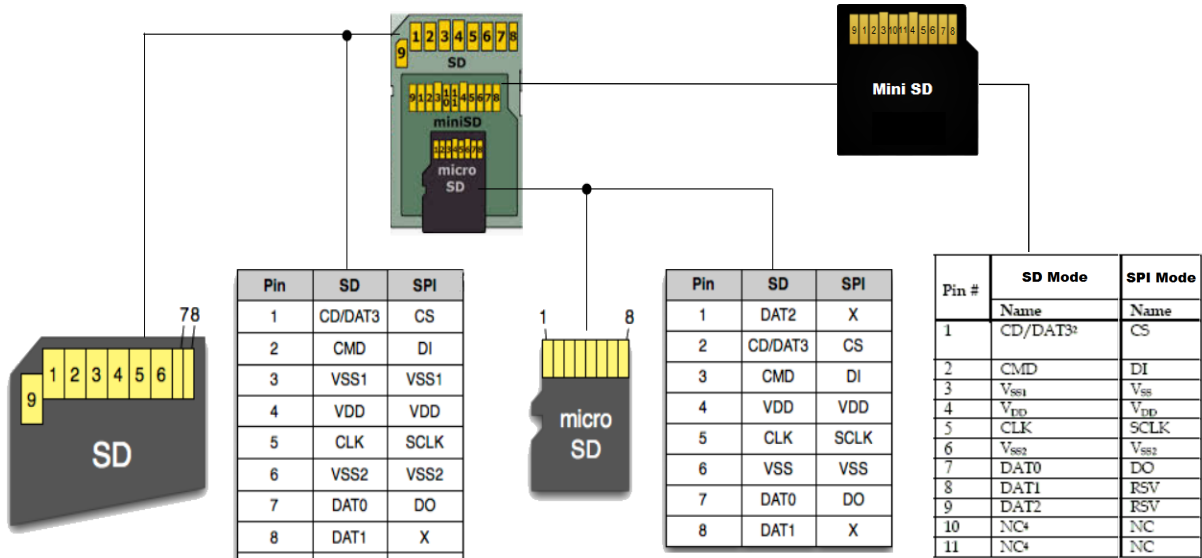
**CAUTION** 卡检测是一种机械张力开关，在 SD 卡插入时闭合以将卡检测信号接地。如果您的 MCU 和软件接口需要卡检测，应确保开关仍正常工作。检查卡检测信号并确认其为逻辑低电平。如果使用该状态信号，则需要上拉。

- SD 卡共有三种类型：标准、Mini 和 Micro。它们都支持 SPI 和 SDHC 接口，但是接口连接各不相同。

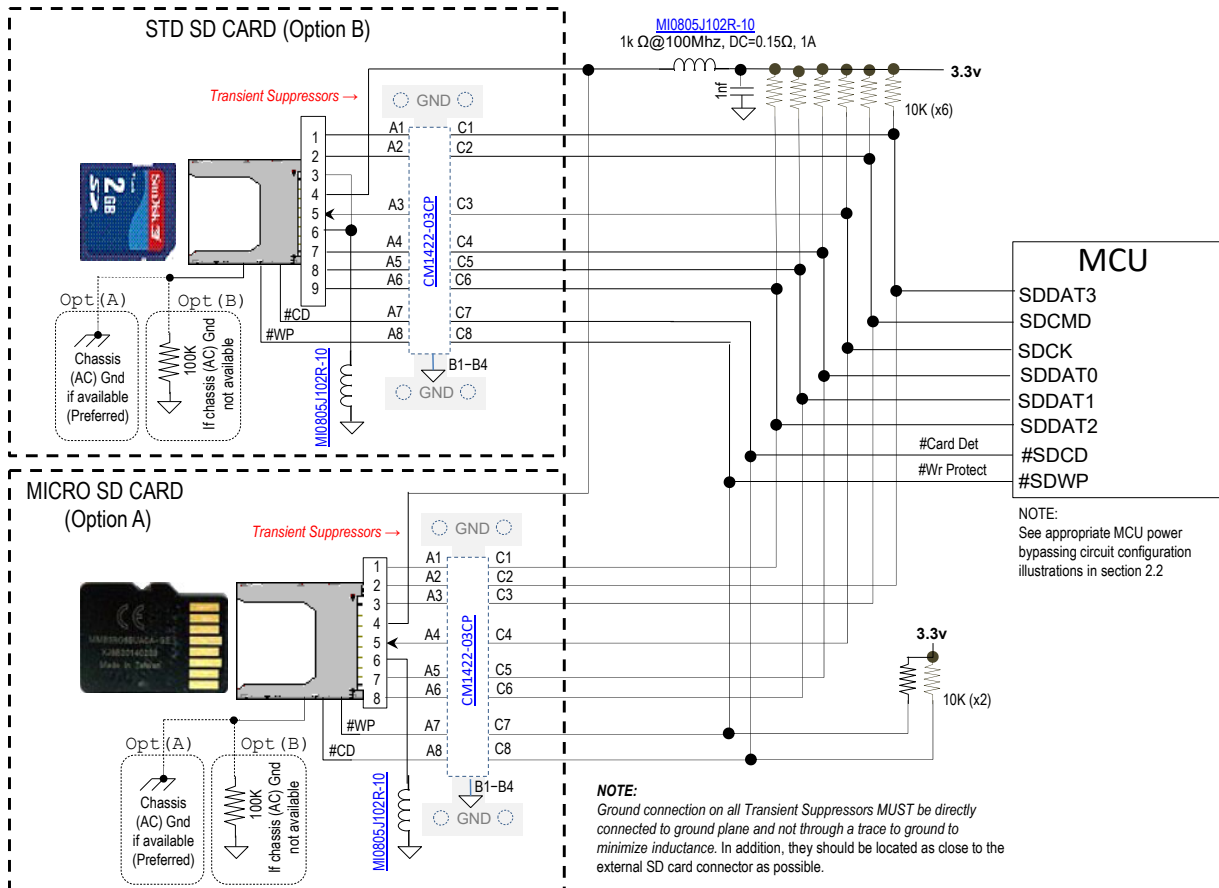
**CAUTION** 如果第一次在应用中使用 SD 卡，应仔细检查原理图和连接以确保它们与下图中列出的接口引脚分配相匹配。

- 尝试降低 SD 卡 CLK 频率以减慢数据访问速率。如果这能够解决问题，则可能存在 PCB 走线长度和/或阻抗匹配问题（相对于预期的数据速率）。

图 11-6. 标准 SD 卡、Mini SD 卡和 Micro SD 卡——SPI 和 SDHC 引脚分配图



SD/MMC (SDHC) SD CARD PROTECTION EXAMPLE



### 11.4.1 SD 主机控制器 (SDHC) 保护设计要点

- SD 卡插座应连接到机架的交流接地（如果可能），或者通过 100k 电阻连接到数字地，以减少任何潜在的 ESD 放电事件。
- 在这种情况下，不需要信号端接电阻，因为 ESD 保护器件 [CM1422-03CP](#) 的 ESD RC 滤波器中有一个 100Ω 的串联电阻
- 所有 SD 卡信号均经由 ESD RC 滤波器进行滤波

有关 ESD、EMI 或 EFT 的详细信息，请参见 [AN2587](#)——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”选项卡下查看。

[返回清单](#)

## 11.5 UART

**问题 32:** 为什么 UART 数据会损坏？

- 根据行业规范，源与目标之间的 UART 波特率误差总和不能超过 ±3%（即 ±1.5% 发送器容限加上 ±1.5% 接收器容限）。MCU UART 中有两种误差来源：
  - MCU UART 时钟源精度误差百分比
  - $BRERR = \left( \frac{BR_{DESIRED} - MCU BR_{CALCULATED}}{MCU BR_{CALCULATED}} \right) * 100\%$   
TOTAL MCU UART BAUD\_RATE\_ERROR = (BR\_ERR% + UART 时钟源误差百分比) ≤ 1.5%



如果使用内部 RC 时钟作为 UART 时钟源，应查看数据手册确认带 PLL 或 DFLL 的 RC 是否能够保证所需的精度误差百分比。在许多 MCU 中，需要借助外部参考时钟（例如晶振或时钟振荡器）来达到所需的精度。

- PIC32MZ/PIC32MK 系列比较特殊，即还可以选择 REFCLK 作为 UART 时钟源。



切勿将 REFCLK 用作任何异步外设（即 UART、CAN 和 ADC 等）的时钟源。REFCLK 通过周期挪用产生平均频率，因此会产生伪小数时钟频率，这意味着在给定的单位时间内，时钟脉冲的数量是不一致的。也就是说，无法保证 UART 位时间。

**问题 33:** 为什么上电或从休眠状态唤醒后的第一个 UART 字节总是错误？

- 每次复位时，I/O 引脚均为三态且通常悬空为低电平，直到用户代码初始化 UART 并分配引脚为止。对于应用中的其他 UART 器件，高阻态悬空逻辑低电平条件被视为“启动”位。目标 UART Rx 会检测到虚假悬空低电平启动条件，并开始对 Rx 引脚数据进行采样（即使实际上并未发送数据也会采样）。



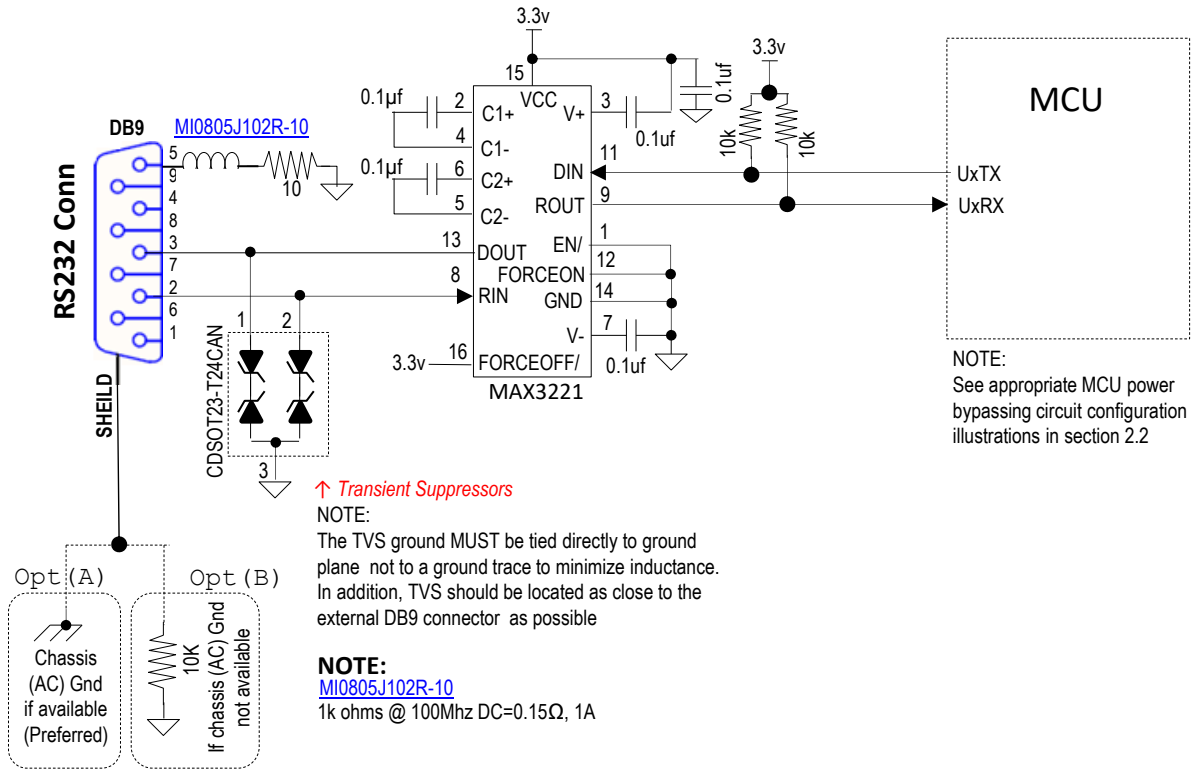
始终在 MCU UART Tx 和 Rx 引脚上使用上拉电阻。在 MCU 复位和初始化期间，系统中 Tx 和 Rx 逻辑上产生的 MCU 逻辑高电平表示 UART 的自然空闲状态。

- 在许多 MCU 器件的部分休眠模式下，UART 时钟均处于禁止状态，当器件因接收到启动位（即从逻辑高电平跳变为逻辑低电平）后触发中断而从休眠状态唤醒时，UART 时钟将重新使能。启动位的下降沿用于同步 UART 接收器的采样位时钟。但是，当 MCU 可以从休眠状态唤醒并重新使能时钟时，接收器位采样不再与外部发送的 Tx 数据同相。



如果由于检测到远程 Tx 启动位而导致已在低功耗模式下禁止的 UART 时钟切换为工作模式，则用户必须丢弃收到的第一个字节。





11.5.1 UART 保护设计要点

- 请注意，在上图所示的 RS232 DB9 连接器上，“屏蔽层”未直接连接到数字信号地，这是典型的设计错误。不将“屏蔽层”连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的应用操作，以防发生 MCU 复位或元件故障。将屏蔽层连接到机架地。如果机架地不可用，则通过以下任一方式进行连接：
  - 1 kΩ @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15Ω，仅用于 ESD 保护。
  - **推荐：**使用一个 10k 的固定电阻，这样不仅可添加与铁氧体磁珠相同的 ESD 保护，还能够在远程系统未遵循良好设计实践的情况下在远程系统屏蔽层或外壳与本地数字地之间实现接地回路电流隔离。10k 仍然很低，足以分流和衰减 RS232 电缆屏蔽层上的 RF 和 EMI。
- UART 具有 RS232 DB9 数字地连接器、引脚 5、铁氧体磁珠和 10Ω 电阻。铁氧体磁珠可防止远程系统可能发生的 ESD 接地放电事件，10Ω 电阻用于限制潜在的接地回路电流（见接地回路），同时不会影响信号的 VIL/VIH 和VOL/VOH 电平。
- 本地系统的输入和输出 UART 信号线上的瞬态电压抑制器进一步完善了保护设计

**注：**人们普遍认为，元件供应商声称其 IC 可以承受±15 kV 的电压即表示 I/O 上已获得充分保护，但实际上这并不是对外部接口元件和信号的惟一要求。通常，±15 kV 的额定值针对 IEC 61000-4-2 空气放电规范。这适用于非外部接口信号，但不包括 IEC 61000-4-2 ESD 接触放电，这种放电对设备外壳、外部信号接口、端口、连接器和电缆硬件的峰值电流放电要求为±8 kV @ 30A。

有关 ESD、EMI 或 EFT 的详细信息，请参见 AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”选项卡下查看。

[返回清单](#)

## 11.6 USB



**重要：** 所有 PIC32MX 和 PIC32MK 器件系列都不支持低速 USB 模式（见勘误表）。请改用全速模式。

**问题 34：** 为什么 USB 数据传输时间长于预期？

- 当由于时序或信号完整性问题引起的 CRC 错误而导致数据包被丢弃时，USB 协议允许在除同步数据传输之外的所有数据传输中连续重试传输数据包。这会导致传输时间延长，因为相同的数据包一再地重复传输，直到 CRC 匹配为止，请参见下一个问题中的 *注意事项*。

**问题 35：** 为什么 USB 设备无法枚举？

大多数 USB 问题都是相似的，最终都会回到信号完整性和时序精度问题上，下面将详细讨论。

- 在 SAM 产品和部分 PIC32C 产品上：



必须使用生产测试中的校准值对 DP/DM USB 线路接口的输出驱动器进行微调。在使能 USB 之前，用户必须先通过软件将 NVM 软件校准区中的校准值装入 USB 焊盘校准寄存器（PADCAL）中，以达到指定的精度。



对于为 USB 48 MHz 时钟使用 SOF 时钟恢复的仅 USB 设备模式，用户必须先装入 DFLLVAL.COARSE 寄存器，然后才能从“DFLL48M COARSE CAL” NVM 软件校准区域映射使能 USB 设备。（请参见数据手册。如果 NVM 软件校准区域映射中没有 DFLL48M COARSE 条目，则很有可能由硬件处理。）对于 SAMD21/D11/L21/L22 产品系列或者使用 DFLL48M 作为默认启动振荡器的任何产品系列，用户必须通过软件手动装入校准值。

**问题 36：** USB 连接已丢失。

- 当 USB 传输错误按照一定的频率发生时，USB 系统软件将确定是否以及何时发生超时，或者允许进行多少次重试。当满足这些阈值中的任意一项时，USB 连接将终止。
- 根据 USB 2.0 规范，可以将 USB 设备归为低功耗（5V @ 100 mA）或高功耗（5V @ 500 mA）两个类别。USB 设备建立连接后，最初只能汲取 100 mA 的电流，同时进行枚举并与主机协商其功率预算。主机会基于枚举将供电提高到 500 mA 或继续保持 100 mA。如果下行设备的功耗超出主机所能支持的值或超出其协商的限值，则主机将断开下行违规端口的连接。（该描述不包括 USB 2.0 规范的全新电池充电规范 BC 1.2 ECN。）

**表 11-3. USB 模式和数据速率汇总**

USB 模式	时钟精度	数据速率
HS: 高速	±0.05%	480 Mbps
FS: 全速	±0.25%	12 Mbps
LS: 低速	±1.5%	1.5 Mbps

**表 11-4. USB 传输类型和错误重试汇总**

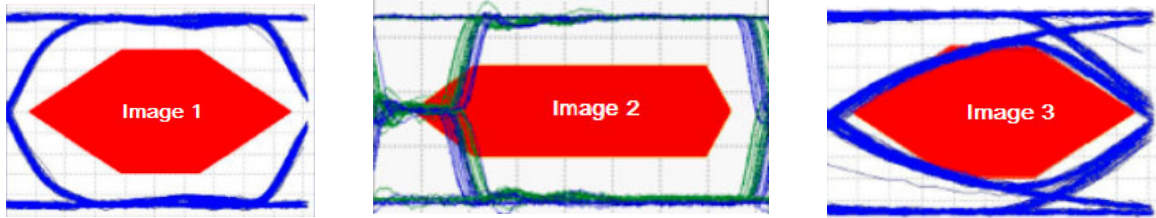
USB 数据传输类型	在发生 CRC 错误时自动重新发送	用例
控制传输	是	用于配置设备（枚举）
中断传输	是	用于发送简短的简单数据，例如键盘、鼠标、触摸板、触摸屏或游戏控制器。
批量传输	是	用于以 100% 的准确度传输大量数据，如文件、图片和打印机数据。

..... (续)		
USB 数据传输类型	在发生 CRC 错误时自动重新发送	用例
同步传输	否	用于流式传输视频和音频。

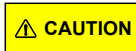
**注：** CRC 检查由 USB 硬件自动完成。发送数据包时，数据包 CRC 被编码在数据包报头中。接收数据包时，将再次计算数据包的 CRC，并与数据包中发送的编码 CRC 值进行比较。

- 与 USB 相关的两个最常见的设计问题分别是由于阻抗不匹配引起的信号完整性问题以及时序违例问题。下图显示了所谓的 USB 眼图。红色区域是一个受限区域，在该区域内的 USB 信号不能发生交叉，否则将不符合 USB 规范。此类违例会导致 CRC 错误和数据包被丢弃。

**图 11-9. USB 眼图**



- 图 1 表示符合限制条件的 USB 差分眼图，其中的时序、上升/下降时间和阻抗匹配情况均非常出色。
- 图 2 表示通常与 USB 时钟源精度和/或抖动问题相关的时序问题。



确保用于提供 USB 时钟的 MCU 时钟源与 PLL 和/或 DFLL 组合满足上面 [USB 模式和数据速率汇总表](#) 中列出的时钟精度要求。



如果使用 PLL 或 DFLL 提供 USB 时钟，应检查数据手册中的抖动规范（如果已列出），或者使用数据手册中提供的公式进行计算以再次确认其符合精度规范。

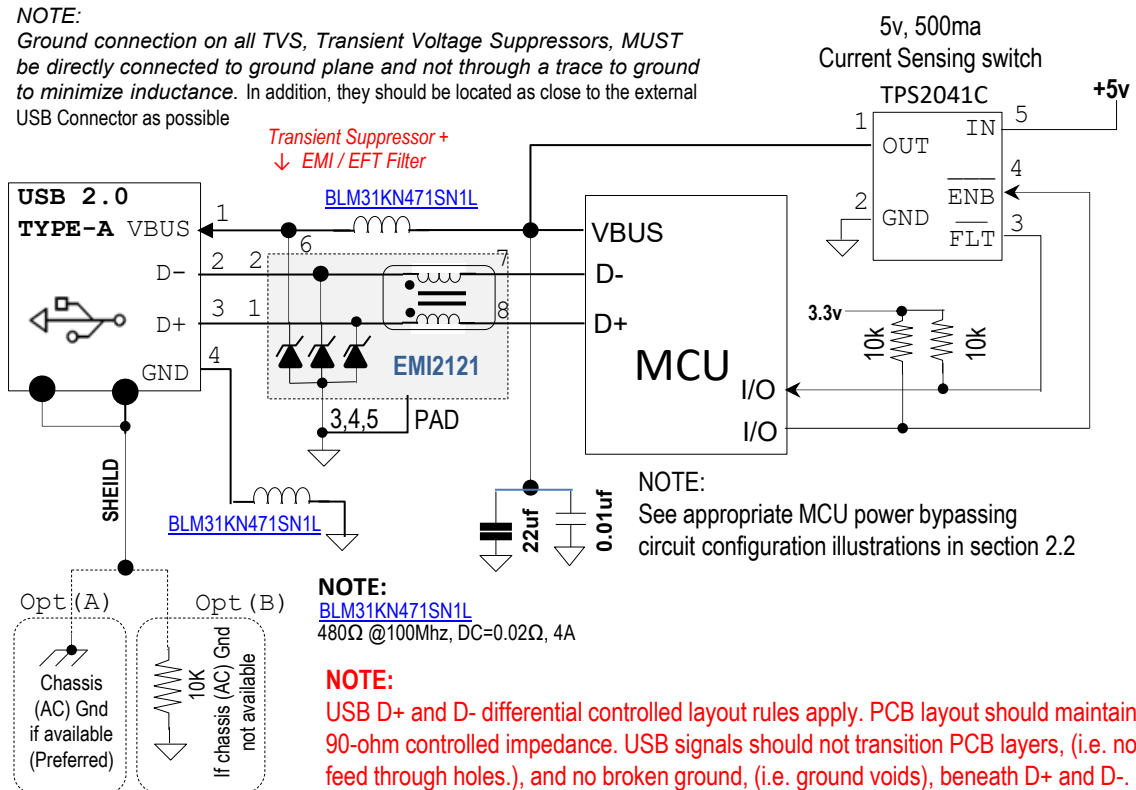
- 图 3 表示典型的阻抗不匹配问题，可能是由于 PCB 布线、元件选型（与 D+ 和 D- 信号接触）引起，也可能是由于使用了未经认证的 USB 线缆引起。

表 11-5. USB PCB 布线规则和限制

1	首先对 USB 和 USB 差分走线进行布线, 使邻近地平面层的 PCB 层 1 (与 MCU 元件在同一侧) 保持差分阻抗匹配 (90Ω)。
2	D+和 D- PCB 走线不应超过: 1. USB 高速 = 3.5 英寸 (88.9 mm) 2. USB 全速 = 4.5 英寸 (114.3 mm) 3. USB 低速 = 6 英寸 (152.4 mm)
3	确保 D+和 D-走线都有一个完整的参考地平面, 其下方没有接地间隙或空隙。
4	确保 D+和 D-走线长度相同。
5	D+和 D-走线不应有任何 PCB 过孔 (即通孔) 或尖角, 否则它们会干扰阻抗和频率并引起反射。
6	USB 连接器屏蔽层不应直接连接到数字逻辑地。尽管差分信号具有良好的抗噪性, 但它们容易受到接地回路的影响, 接地回路会使信号电平阈值产生偏移。最好不要在 USB 屏蔽层和逻辑地之间使用电容, 因为该电容会将 ESD 放电直接传导到 MCU 系统中。(请参见后面几页上的 USB 设计示例图。)
7	如果使用保护元件: 1. 应将其放置在靠近 USB PCB 连接器的位置, 并且不要使用短桩线。元件应沿着 D+和 D-走线进行贴装, 以保持阻抗匹配并最大程度地减少反射。如果必须使用短桩线, 应确保其小于 200 mil。 2. 每个信号的高速和全速 USB 保护元件负载不应超过 1.5 pF。
8	D+/D-走线不应包含任何额外的元件, 以便保持信号完整性。例如, 在理想情况下, 走线不应连接多个 USB 连接器。
9	请勿在使用或复制时钟信号的晶振、振荡器、时钟信号发生器、开关稳压器、安装孔、磁性器件或 IC 的下方或附近布设 USB 走线。

注: 请参见本文档末尾处的完整 PCB 布线指南。

图 11-10. USB 主机设计示例图



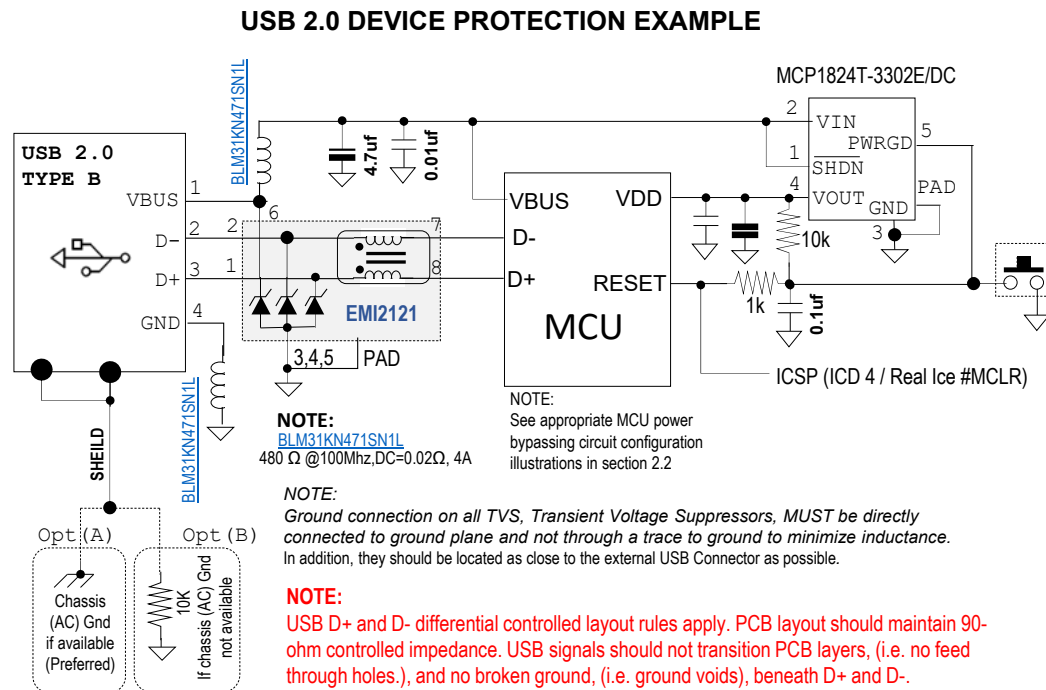
### 11.6.1 USB 主机设计要点

- 请注意，在上图所示的 USB 连接器上，屏蔽层未连接到数字信号地，这是典型的设计错误。将屏蔽层连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的应用操作，以防发生 MCU 复位或元件故障。将屏蔽层连接到机架地。如果机架地不可用，则通过以下任一方式进行连接：
  - 1 kΩ @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15Ω，仅用于 ESD 保护（即 MI0805J102R-10）。
  - **推荐：**使用一个 10k 的固定电阻，这样不仅可添加 ESD 保护，还能够在远程系统未遵循良好设计实践的情况下在远程系统屏蔽层/外壳与本地数字地之间实现接地回路电流隔离。对于屏蔽层而言，10k 的阻抗足够低，可以有效地衰减 RF 和 EMI 干扰，以保持 USB 线缆的屏蔽效果。
- 在 USB 连接器上，数字地、引脚 4 和铁氧体磁珠有助于防止远程系统可能发生的 ESD 接地放电事件。普通串联电阻与许多其他外设接口上的铁氧体串联，以限制潜在的接地回路电流。由于可能存在较大的 USB 下行功率需求，因此这里未进行串联。
- 瞬态电压抑制器和 90Ω 共模扼流圈应尽可能靠近 USB 连接器放置。共模扼流圈仅用于传导 EMI 隔离。
- TPS2041C 限流开关 TPS20xxx 可提供 500 mA 至 2A 的电流（步长为 0.5A）。其目的是限制下行 VBUS 负载，以保护主机系统上的 5V 电源。

**注：**有关 ESD、EMI 或 EFT 的详细信息，请参见 AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”选项卡下查看。

[返回清单](#)

图 11-11. USB 设备设计示例图



### 11.6.2 USB 设备设计要点

- 请注意，在上图的 USB 连接器上，屏蔽层未直接连接到数字信号地，这是典型的设计错误。不将屏蔽层连接到数字地可确保 ESD 放电事件不会渗透到数字地系统中干扰正常的应用操作，以防发生 MCU 复位或元件故障。将屏蔽层连接到机架地。如果机架地不可用，请通过以下任一方式进行连接：
  - 1 kΩ @ 100 MHz 铁氧体磁珠 1A，DCR = 0.15Ω，仅用于 ESD 保护（即 MI0805J102R-10）。
  - **推荐：**使用一个 10k 的固定电阻，这样不仅可添加 ESD 保护，还能够在远程系统未遵循良好设计实践的情况下在远程系统屏蔽层/外壳与本地数字地之间实现接地回路电流隔离。对于屏蔽层而言，10k 的阻抗足够低，可以有效地衰减 RF 和 EMI 干扰，以保持 USB 线缆的屏蔽效果。

- 在 USB 连接器上，数字地、引脚 4 和铁氧体磁珠有助于防止远程系统可能发生的 ESD 接地放电事件。普通串联电阻与许多其他外设接口上的铁氧体串联，以限制潜在的接地回路电流，但由于可能存在较大的 USB 下行功率需求，因此这里未进行串联。
- 瞬态电压抑制器和 90Ω 共模扼流圈应尽可能靠近 USB 连接器放置。共模扼流圈仅用于传导 EMI 隔离。
- 图中的 MCP1824T 3.3V LDO 用于说明如何将其另作 MCU 的复位监控器。  
注：所需的 1k 隔离电阻是 ICSP 的要求。

注：有关 ESD、EMI 或 EFT 的详细信息，请参见 AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”选项卡下查看。

[返回清单](#)

## 11.7 CAN FD

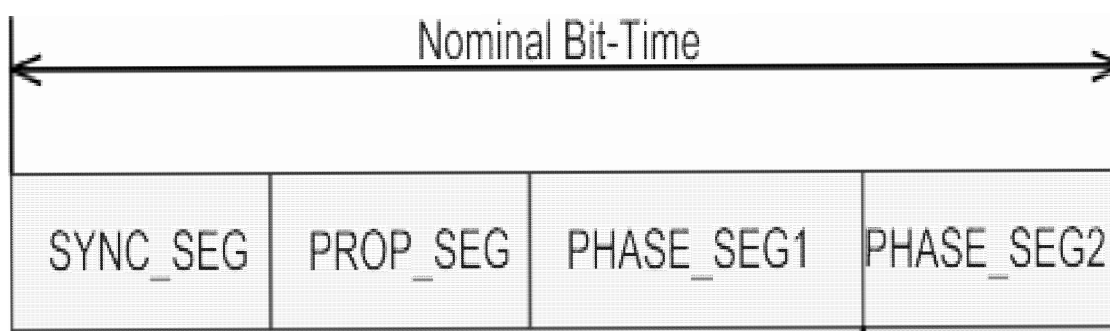
问题 37：为什么 CAN 发送报文错误？

问题 38：为什么 CAN 无法连接？

### 11.7.1 CAN FD 芯片配置要求

- CAN/CAN FD 的最大数据速率误差 ≤ 1%。
- 必须至少一个 CAN 器件配置了固定 CAN 比特率。如果多个 CAN 器件配置了固定 CAN 比特率，则网络上每个具有固定 CAN 比特率的器件的比特率必须相同。
- CAN 网络中每个 CAN 节点的 ID 必须惟一。
- 可通过以下方式确定 CAN 数据速率：
  - CAN 时间份额（即 TQ）= ((数据波特率预分频比 + 1) / FCAN)  
注：FCAN 是 CAN 模块输入时钟频率（建议使用 20 MHz、40 MHz 或 80 MHz）。
  - 位周期 = (TQ \* ((SYNC + (TSEG1 + 1) + (TSEG2 + 1))))
  - CAN 比特率 = (1 / (((BRP + 1)) / FCAN) \* (SYNC + (TSEG1 + 1) + (TSEG2 + 1)))  
或者，比特率 = 1 / 位周期
  - 1% 的误差 ≥ [(比特率 - 用户所需比特率) / 所需比特率] \* 100

图 11-12. CAN 标称位时间图



#### CAN 相位段限制规则

- (传播段 + 相位段 1) ≥ 相位段 2。
- 8 ≤ (同步段 (即 SJW) + 传播段 + 相位段 1 + 相位段 2) ≤ 40。
- 同步段 (即 SJW) ≤ 相位段 2。

表 11-6. CAN FD 位时间寄存器

CAN FD 段	SAM 和 PIC32C		PIC32MK			
同步段	DBTP.DSJW		NBTP.DSJW	CFD1DBTCFG.SJW		CFD1NBTCFG.SJW
传播段	DBTP.DTSEG1	≥	NBTP.DTSEG1	CFD1DBTCFG.TSEG1	≥	CFD1NBTCFG.TSEG1
相位段 1						
相位段 2	DBTP.DTSEG2		NBTP.DTSEG2	CFD1DBTCFG.TSEG2		CFD1NBTCFG.TSEG2

注:

1. 通过 SAM/PIC32C [DBTP 寄存器]或 PIC32MK [CFD1DBTCFG]为 CAN FD 数据阶段配置的比特率必须大于或等于通过 SAM/PIC32C [NBTP 寄存器]或 PIC32MK [CFD1NBTCFG 寄存器]为仲裁阶段配置的相应比特率。
2. 此外, 最大 CAN 数据速率误差百分比还必须考虑时钟源误差 + 抖动误差百分比。
3. 检查以上所有内容, 对照预期数据速率和误差百分比正确配置实际数据速率。



在 PIC32MX/PIC32MZ/PIC32MK 系列上, 切勿将 REFCLK 用作任何异步外设 (即 UART、CAN 和 ADC 等) 的时钟源。REFCLK 通过周期挪用用来产生平均频率, 进而产生伪小数时钟频率, 因此在给定的单位时间内, 时钟脉冲的数量是不一致的。也就是说, 无法保证 CAN 位时间。

### 11.7.2 CAN FD 硬件要求

- CAN 网络中仅安装或配置两个 120Ω 总线端接电阻, 这两个电阻位于 CAN\_H 和 CAN\_L 之间的两个物理端点上。
  - 通过为所有 CAN 器件断电并测量“CAN 高电平”和“CAN 低电平”线之间的电阻, 可以轻松进行检查。测得的电阻大小必须约为 60Ω (即  $R_{PARALLEL} = ((120 * 120)/(120 + 120)) = 60\Omega$ )。低于 60Ω 的任何值均表示可能存在两个以上的 120Ω 总线端接电阻, 这种问题必须加以解决。
  - 120Ω 端接电阻必须位于 CAN 高电平和 CAN 低电平之间, 才能正常工作。
  - 大于 60Ω 的值通常表示缺少至少一个总线端接电阻, 或者总线端接电阻的值错误。
  - 必须目视检查两个 120Ω 总线端接电阻是否正确置于网络两端。
  - 网络中的 CAN GND 必须恰好有一端连接到地电位。
  - 使用双屏蔽线缆时, 需要将外屏蔽层的一端连接到地电位。网络中的机架/地连接不得超过一个。
- 共有两种类型的 CAN 线缆: 末端接线缆和自端接线缆。端接线缆已在线缆组件中内置了 120Ω 端接电阻。确保端接线缆未与 CAN 端接电路节点混合使用。当连接多个已具有端接的 CAN 器件时, 需要使用非端接线缆。

图 11-13. 典型 CAN 网络

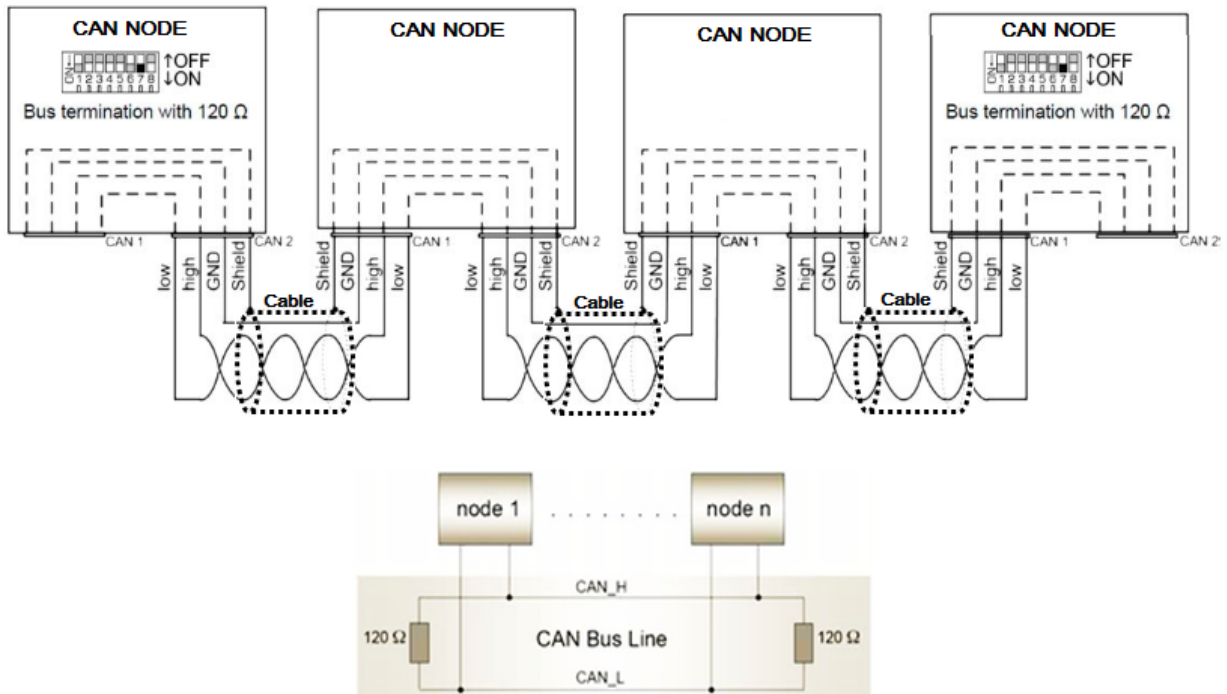
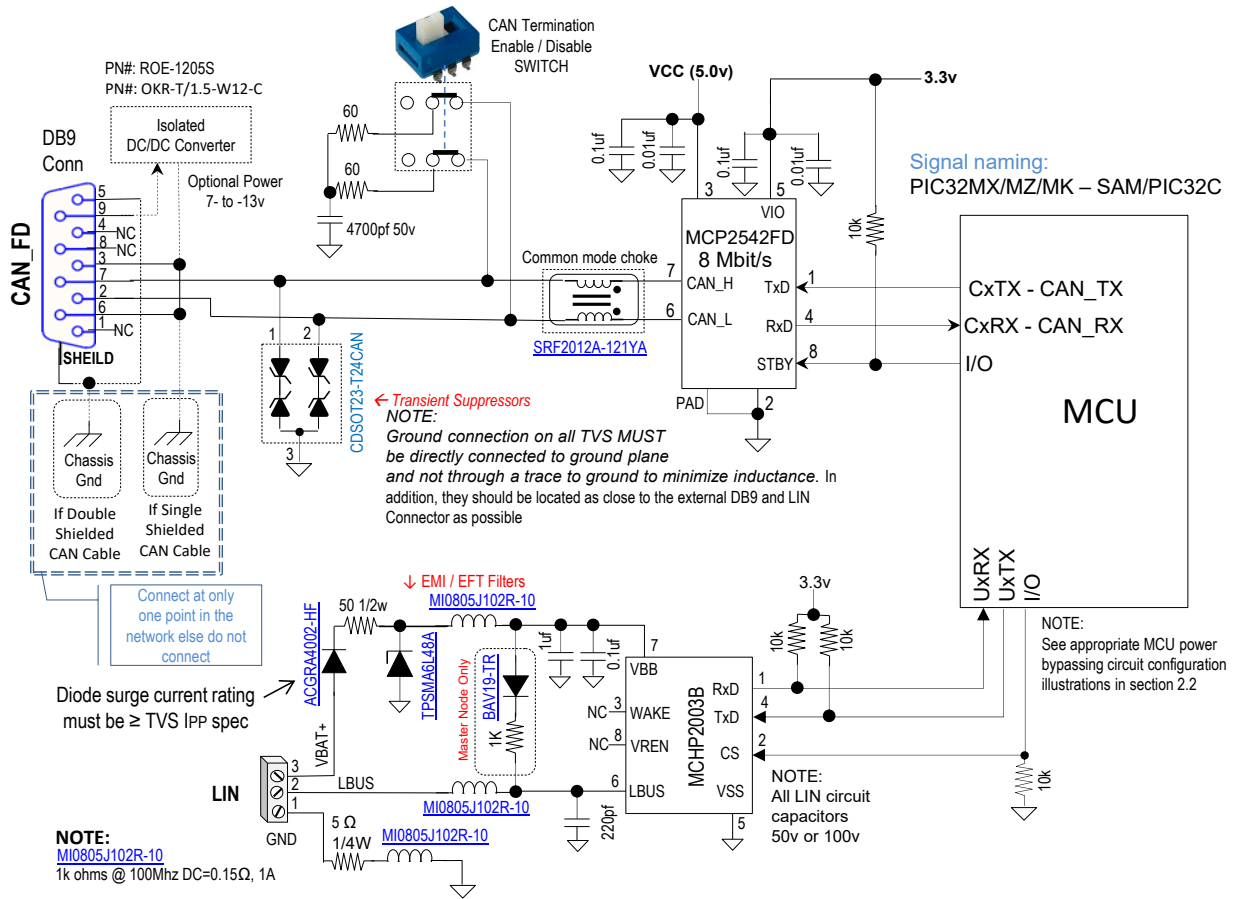




图 11-14. CAN FD/LIN 设计示例图



### 11.7.3 CAN FD/LIN 保护设计要点

- 在上图中的 CAN DB9 连接器上，屏蔽层没有像在其他外设中一样与 CAN 中的数字信号地相连。CAN 定义指出，CAN 通信是一种双线差分协议（CANH 和 CANL）总线。总线的显性状态和隐性状态取决于 CANH 和 CANL 之间读取的差分电压，无论是否接地。
- 屏蔽层与 CAN 网络中机架/地的连接只能有一处。
- 在某些 CAN 网络上，可选电源还连接到线缆引脚 9。如果用户要使用该电源，请注意线路电压波动可能很大。此外，整个网络上的大电流所导致的接地偏移需要使用隔离交流/直流转换器将 MCU 电源和地与 CAN 线缆电源和地隔离。
- 120Ω 端接电阻只能位于 CAN 网络的两端，因此用于使能或禁止端接的开关取决于用户的 PCB 顺序和在 CAN 网络中的位置。
- 数据速率超过 1 Mbps 时，建议使用共模扼流圈。

**注：**人们普遍认为，元件供应商声称其 IC 可以承受±15 kV 的电压即表示 I/O 上已获得充分保护，但实际上这并不是对外部接口元件和信号的惟一要求。通常，±15 kV 的额定值针对 IEC 61000-4-2 空气放电规范。这适用于非外部接口信号，但不包括 IEC 61000-4-2 ESD 接触放电，这种放电对设备外壳、外部信号接口、端口、连接器和电缆硬件的峰值电流放电要求为±8 kV @ 30A。

有关 ESD、EMI 或 EFT 的详细信息，请参见 [AN2587——针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项](#)，可在 Microchip 网站上搜索该文档或在任何 32 位产品网页上的“Documentation > Application Notes”选项卡下查看。

[返回清单](#)

## 12. ADC

**问题 39:** 为什么在输入电压不低于 30 mV 时 SAR ADC 结果为 0V?

**问题 40:** 为什么 SAR ADC 结果不一致且不准确?

ADC 精度和可重复性取决于下列可能的误差源:

- ADC 芯片的总不可调整误差 (Total Unadjusted Error, TUE)
- 系统噪声
- 参考电压的精度以及随温度和制造工艺影响产生的漂移
- 用户 PCB 电路设计实现和 IR 压降
- 必须从 NVM 软件校准区域映射寄存器装入的 ADCx BIASCOMP、BIASREFBUF 和 BIASR2R 值

### 12.1 典型 SAM SAR ADC 的总不可调整误差源 (TUE)

- ADC 失调误差<sup>(1)</sup>
- ADC 增益误差<sup>(1)</sup>
- 量化误差<sup>(1)</sup>
- 非线性误差 (INL 和 DNL) <sup>(1)</sup>

注:

1. 这些误差源均记录在数据手册中, 在假设预期 ADC 精度时必须考虑这些误差源。
2. 不过, 还有其他一些因素会影响 ADC 的精度, 它们未在数据手册中定义, 其中一些因素可能并不明显。用户 PCB 设计和 VREF 精度也会影响 ADC 精度, 用户必须在其应用中考考虑这些通常被忽略的因素。
3. 值得注意的是, 在大多数 SAM SAR ADC 中, SAMPCTRL.OFFCOMP (即失调补偿) 仅对 ADC 内部的比较器进行补偿 (以 ADC 的内部地而不是 PCB 系统地作为参考)。

### 12.2 ADC 噪声

SAM 和 PIC32C 系列中具有混合信号功能 (即共享模拟功能) 的独有 I/O 引脚由 VDDANA 供电。(请参见数据手册的 GPIO 集群映射)。这意味着, 当混合信号引脚用于数字功能并驱动负载以及以中等速率翻转时, VDDANA 的瞬时开/关拉电流或 GNDANA 的灌电流会在模拟域中产生纹波噪声, 这将带来额外的挑战, 尤其是在尝试测量两位毫伏范围内的低电平信号时。

### 12.3 VREF 精度

- FS LSb 误差 =  $\frac{((VREF \text{ 精度} + \text{漂移} + \text{系统噪声}) / VREF) / 2^n}{(2^n * (VREF \text{ 精度} + \text{漂移} + \text{系统噪声})) / VREF}$
- 最坏情况下的实际 ADC 结果 =  $(ADC \text{ 理想结果} / 2^n) * FS \text{ LSb 误差}$   
例如: LDO 模式下 SAM D5x/E5x 系列 SAR ADC 在不同器件发行版、工艺、电压和温度下的最坏情况配置。

其中,

- 内部 VREF =  $1.2V \pm 50 \text{ mV}$
- 25°C-85°C 范围的内部 VREF 温度漂移 (0.02%/°C) = 14 mV
- LDO 模式的系统噪声 = ~50-75 mV, 降压模式的系统噪声 = ~200-300 mV
- 12 位分辨率
- ADC AIN0 输入信号 = 0.6V (即 VREF 量程的 50%)

FS LSb 误差 =  $(2^n * (VREF \text{ 精度} + VREF \text{ 漂移} + \text{系统噪声})) / VREF$

=  $(4096 * (50 \text{ mV} + 14 \text{ mV} + 50 \text{ mV})) / 1.2V$

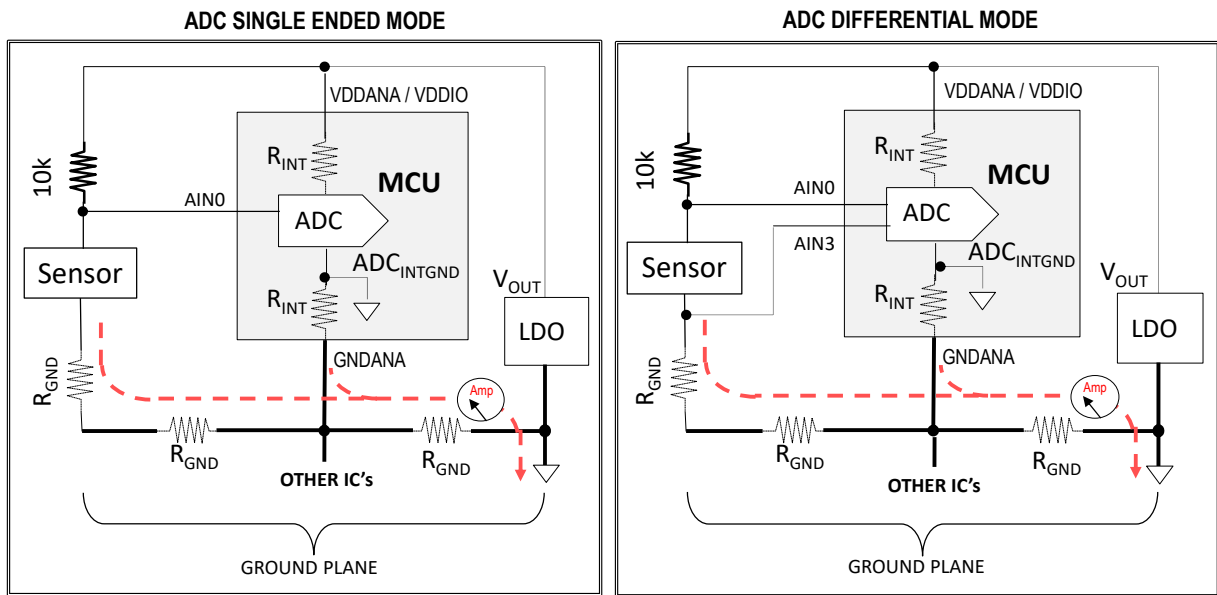
= 389.12 LSb

ADC 结果误差 =  $(0.6V \text{ 输入的 ADC 理想结果}/2^n) * FS \text{ LSB 误差}$   
 =  $(2048/4096) * 389.12$   
 = 194.56 LSB 的误差, 即 57 mV (即  $1 \text{ LSB} = (VREF/2^n) = (1.2V/4096) = 293 \mu V/LSb$ )

### 12.4 电路 IR 压降误差

- 典型 SAM/PIC32C SAR ADC (见下图)
  - ADC  $I_{DD} = 45\text{-}600 \mu A$
  - $R_{INT} = 45\text{-}50 \Omega$
  - $VR_{INT} = (ADC \text{ } I_{DD} * R_{INT})$   
 $= 2.02 \text{ mV} \leq VR_{INT} \leq 30 \text{ mV}$
- 典型电路板特性
  - 地平面 =  $\sim 0.06 \Omega/\text{英寸}$  (即  $0.06 \Omega/25.4 \text{ mm}$ )
  - 假设: 地平面  $W = 76.2 \text{ mm}$ ,  $L = 101.6 \text{ mm}$ , ADC 至传感器  $\sim 50.8 \text{ mm}$
  - 接地电流:  $200\text{-}1000 \text{ mA}$
  - 因此:  $25 \text{ mV} \leq VR_{GND} \leq 120 \text{ mV}$

图 12.1 ADC PCB 设计引起的误差 (单端模式与差分模式图)

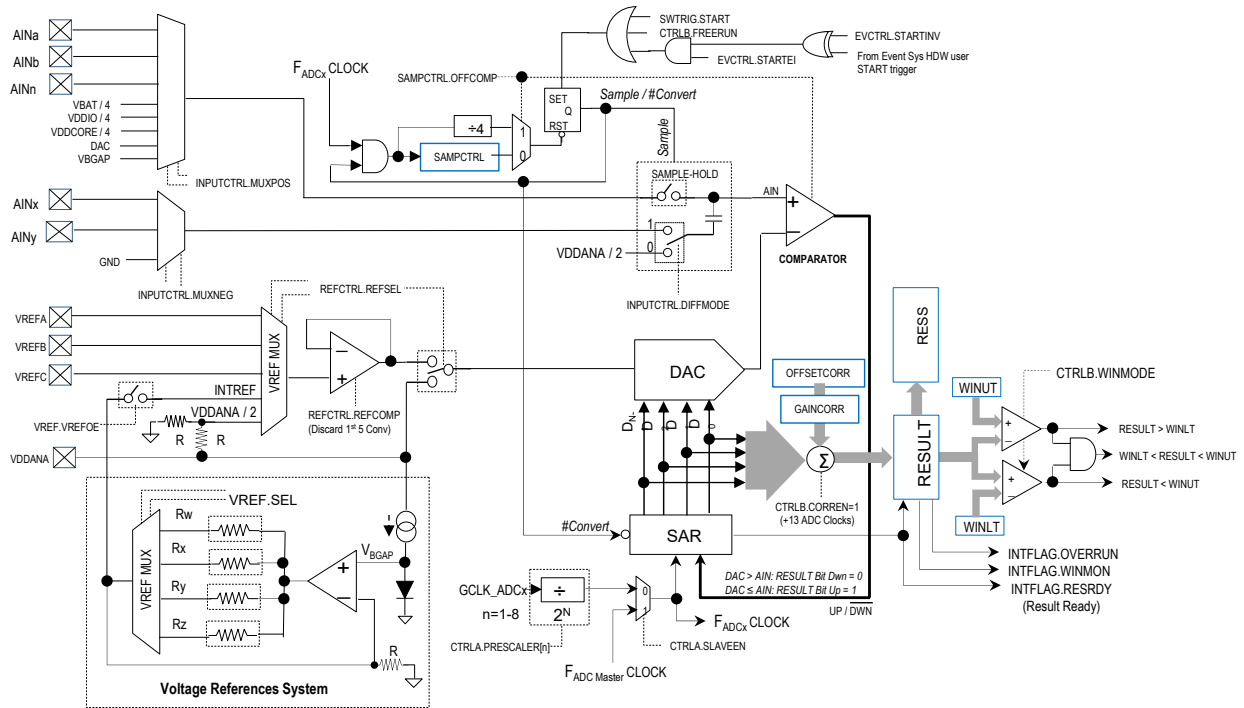


- $R_{GND}$  = Distributed resistance along ground plane and connecting traces or wires to load Sensor.
- $R_{INT}$  = Internal MCU resistance of metal runs and bond wires to analog power & ground pins
- $ADC_{INTGND}$  = Local relative ground of the internal ADC module.

注:

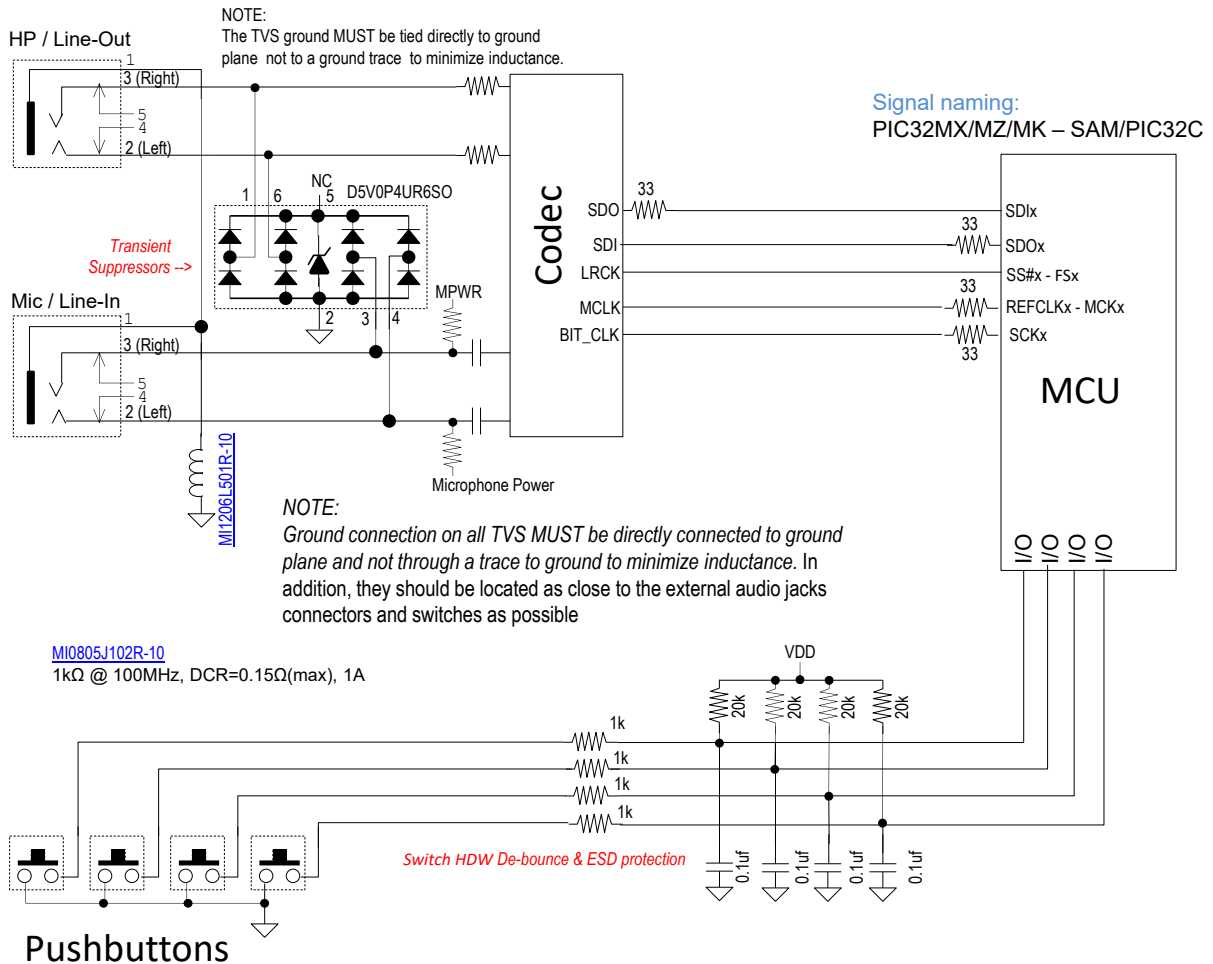
1. 根据上面的 ADC 单端模式图可知，由于公共传感器与 ADCINTGND 之间存在接地 IR 压降（即电压差），ADC 在传感器两端检测到的电压的失调与接地电流和接地电阻成比例。它的值为  $VRINT + VRGND$  之和，通常会引起 30 mV 至 50 mV 或更大的误差。ADC 单端转换结果是相对于模拟输入信号和 ADC 内部地 ADCINTGND 的结果。
2. 确保从 NVM 软件校准区域映射寄存器中装入 ADCx BIASCOMP、BIASREFBUF 和 BIASR2R 值，以确保将 ADC 配置为最佳性能。
3. 当应用需要高分辨率时，请考虑使用差分模式来提高精度。单端模式测量相对于内部 ADC 地的输入，并受接地 IR 压降/失调的影响，而差分模式则测量两个输入之差，与 ADC 内部地和外部地无关。如果 ADC 处于差分模式（如上图所示），则 ADC 的输入阻抗将非常高，导致流入模拟输入引脚的电流非常小。这反过来会使进入 AINx 引脚的 IR 压降变得忽略不计，从而使系统中的接地 IR 压降也无关紧要。这样便可实现更准确的低电平信号传感器测量。

接收地址和数字地址并只接收地址流控制是寄出源的上一位是十进制地址低位地址 IR 压降



[返回清单](#)

## 13. AUDIO HEADPHONE & MICROPHONE PROTECTION EXAMPLE



### 13.1 I<sup>2</sup>S 和按钮保护设计要点

- 按钮的 1k 串联电阻和 0.1 µF 电容构成 ESD RC 低通滤波器和硬件按钮去抖动器
- 接地、音频输入和音频输出信号的 ESD 保护

[返回清单](#)

## 14. I<sup>2</sup>C

**问题 41:** 为什么 I<sup>2</sup>C 通信链路不起作用?

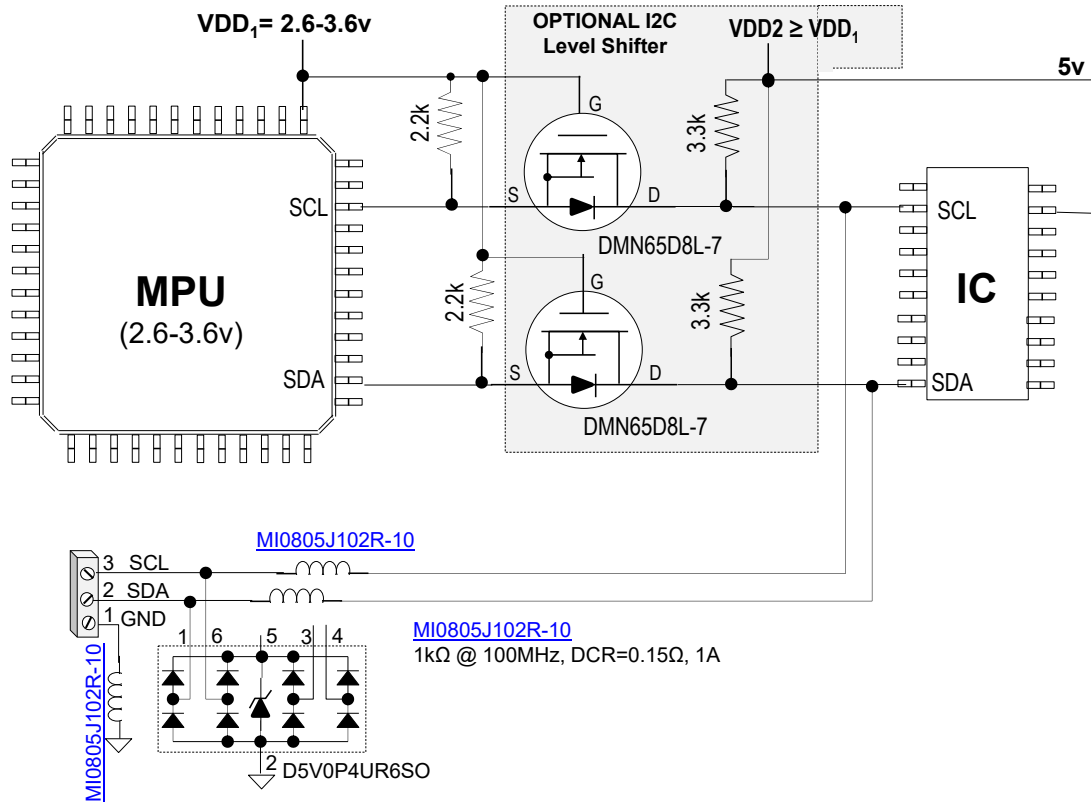
- 为实现 TTL 兼容性, 原始 I<sup>2</sup>C 规范规定的 I<sup>2</sup>C 默认接口标准为 5V。除 5V VDDIO 器件外, 所有 SAM 传统器件都没有任何 5V 耐压 I/O 引脚, 因此只兼容 3.3V 标称信号电平。在 PIC32MX/PIC32MZ/PIC32MK 上, 仅选择 5V 耐压 I/O 引脚, 而不是所有 I<sup>2</sup>C 端口。有关更多信息, 请参见器件特定的数据手册

**注:**

- 用户必须确保网络上的任何内部 I<sup>2</sup>C 通信和外部线缆 I<sup>2</sup>C 总线器件都兼容信号电平, 这对于实现可靠性和适当的信号兼容性至关重要。
- 在大多数设计中, 只有主器件才有上拉电阻, 这些电阻通常位于漏极开路 SDA 和 SCL 上。每个器件都有一定的 SDA 和 SCL 驱动强度 (即 IOL 规范)。如果网络上有多个带上拉电阻的 I<sup>2</sup>C 节点, 则用户必须确保所有上拉电阻的总和不超过任何一个节点对于网络总上拉电流的灌电流能力, 以确保正确的 I<sup>2</sup>C 逻辑信号电平 (即 VOL 和 VIL 规范电平)。
- 在混合信号电平网络中, 如果上拉电阻在 3.3V 侧, 则所得 VOH 可能无法满足高电压侧上一个或多个节点的逻辑高电平 VIH 规范。如果上拉电阻在高电压节点上, 则除非用户使用电平转换器, 否则存在将电流注入低电压节点 IC 的可能性。
- 如果用户应用可连接到外部 I<sup>2</sup>C 总线网络, 则通常无法预知哪个设备采用外部节点 I<sup>2</sup>C 总线工作电压。如果标称 3.3V MCU 中使用的是非 5V 耐压 SDA/SCL, 则用户必须考虑使用下图所示的电平转换器, 以便与外部 I<sup>2</sup>C 节点的工作电压兼容。



**重要:** VDD2 必须  $\geq$  VDD1

图 14-1. I<sup>2</sup>C 保护设计图

## 14.1 I<sup>2</sup>C 保护设计要点

有一个可选的电平转换器，可将 3.3V 标称逻辑连接到 5V 及更高的标称逻辑。当低电压 I<sup>2</sup>C 节点信号变为低电平时，FET 会导通，从而将高电压 I<sup>2</sup>C 总线也拉低。当高电压节点侧变为低电平时，它会正向偏置 FET 内部二极管，从而将低电压节点侧拉为低电平（减去二极管压降）。当两侧均为高电平时，FET 会关闭，FET 内部二极管将反向偏置。

- 接地、SDA 和 SCL 上的 ESD 保护

表 14-1. 示例 I<sup>2</sup>C 电平转换器逻辑真值表

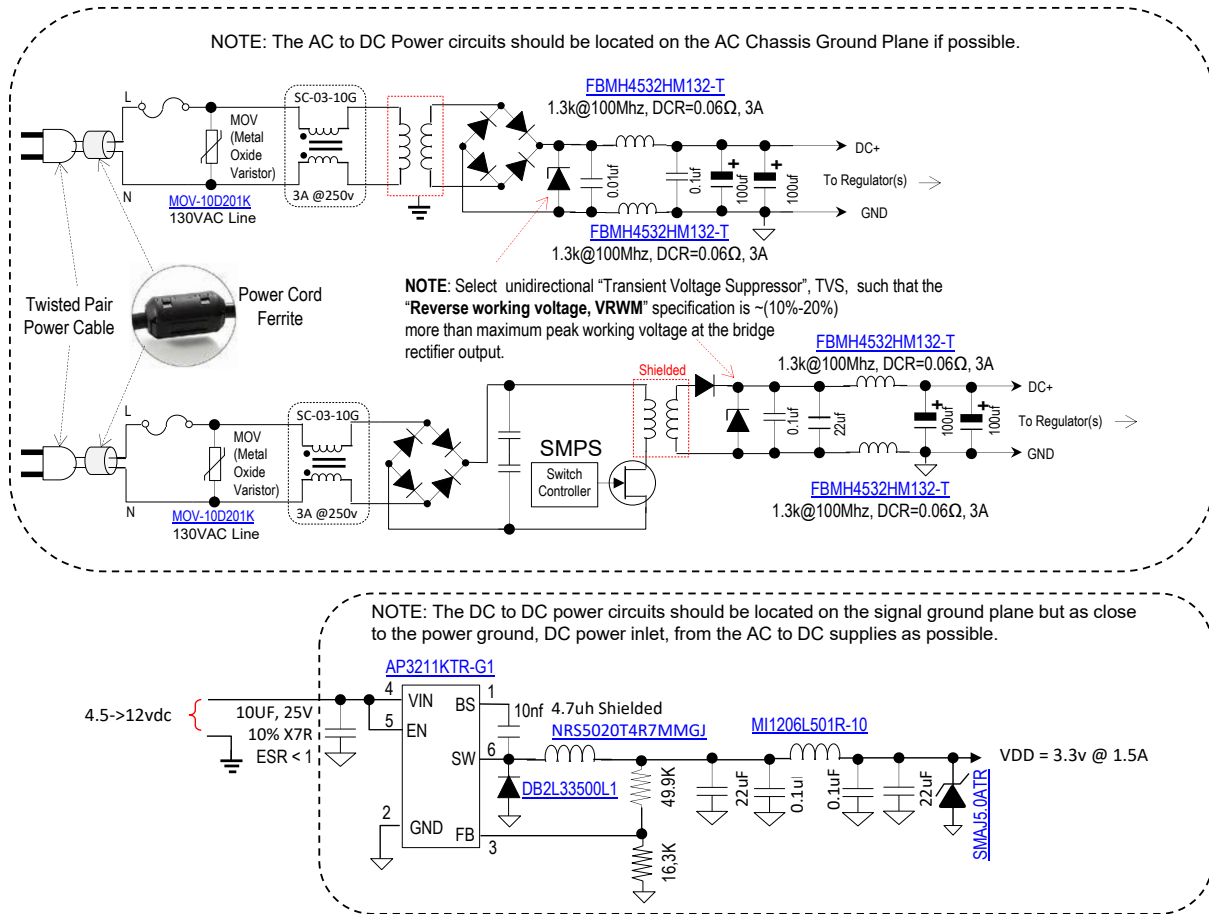
3.3V 低电压侧 I <sup>2</sup> C 节点 (MCU)	5V 高电压侧 I <sup>2</sup> C 节点	3.3V I <sup>2</sup> C 节点侧	5V I <sup>2</sup> C 节点侧
0	0	0V	0V
1	0	0.3V	0V
0	1	0V	0V
1	1	3.3V	5V

[返回清单](#)



# 15. 进线电源保护图

图 15.1 由源输入保护图



[返回清单](#)

## 16. 以太网

**问题 42:** 无法建立以太网连接。

- 确保磁件的网侧侧面向 RJ45 连接器，磁件的器件侧面向 LAN 器件。
- 差分对必须构造为 100Ω 受控阻抗对。
- 差分对的长度必须相同。
- IC 与磁件之间的距离 L 必须 ≤ 2.5 英寸。
- 确保满足以下各节中定义的 PCB 布线规则。

### 16.1 特殊以太网 10/100 Base-T 设计指南

#### 16.1.1 以太网 TX±和 RX±差分对注意事项

1. RX±和 TX±对都必须作为差分对布线。这包括从 RJ45 连接器到 LAN 器件的整段走线。
2. RX±和 TX±差分对应尽可能靠近布线。通常，在开始计算阻抗时，选择最小的走线间距（4-5 mil）。然后调整走线宽度以获得必要的 100Ω 阻抗。
3. 差分对应构造为 100Ω 受控阻抗对。
4. 采用共模扼流圈进行 EMI 隔离的设计必须为 100Ω。
5. 差分对应远离所有其他走线布线。尝试使所有其他高速走线与以太网前端保持至少 0.300 英寸的距离。
6. 差分对的每条走线的长度应匹配。每个正负对的匹配长度应在 50 mil 以内。
7. 差分对的长度应尽可能短。
8. 不建议使用过孔。如果使用过孔，请保持最小值并始终匹配过孔，以便平衡差分对。
9. 此外，也不建议更改各层。尽可能使差分对以相同的电源/地平面为参考。
10. 为获得最佳抗扰度，请将发送对和接收对尽可能远离彼此布线。
11. 始终使任意发送端接使用与发送布线相同的参考平面。同样，始终使接收端接使用与接收布线相同的参考平面。
12. 应优先考虑差分对布线。确定布线后必须添加端接。只需将端接“放在”差分布线上即可。
13. 以太网前端的所有电阻端接应具有 1.0% 容差值。
14. 以太网前端的所有电容端接都应具有严格的容差和高质量的电介质（NPO）。
15. 为了实现最佳分离，可以通过在发送对和接收对之间插入地平面孤岛来进行实验研究。应使该地平面与任何走线的间距保持为电解质距离的 3 至 5 倍。
16. 如果端口串扰是个问题，则可以使用相同的技术来分离不同的以太网端口。可以在以太网通道之间插入地平面。两个通道之间的间隔距离必须尽可能宽。同样，必须使该地平面与任何走线的间距保持为电解质距离的 3 至 5 倍。

#### 16.1.2 未使用的以太网线缆对注意事项

1. 未使用的线缆对（RJ45 连接器上的引脚 4、5、7 和 8）必须正确端接，以满足共模注意事项的要求。这些端接必须使用粗且短的走线布线，并尽可能靠近 RJ45 连接器。
2. 如果未将带有内部端接的 RJ45 连接器用于未使用的线缆对，则使用 75Ω 电阻通过高电压（2 kV）电容端接到正确的机架地平面。

#### 16.1.3 以太网 RJ45 连接器注意事项

1. 建议使用经屏蔽的金属外壳 RJ45 连接器。
2. 金属屏蔽层必须连接到合适的机架地平面。
3. 另一个 ESD 改善方法可以是使用带表面贴装触点的 RJ45 连接器。这可以简化布线并允许以太网前端中具有更大的间隔，以改善 ESD/敏感性性能。

### 16.1.4 以太网磁件注意事项

- 任何特定的 LAN 器件都可使用许多不同类型和配置的磁件。选择磁件时，不同的封装、方向和尺寸都是需要考虑的因素。

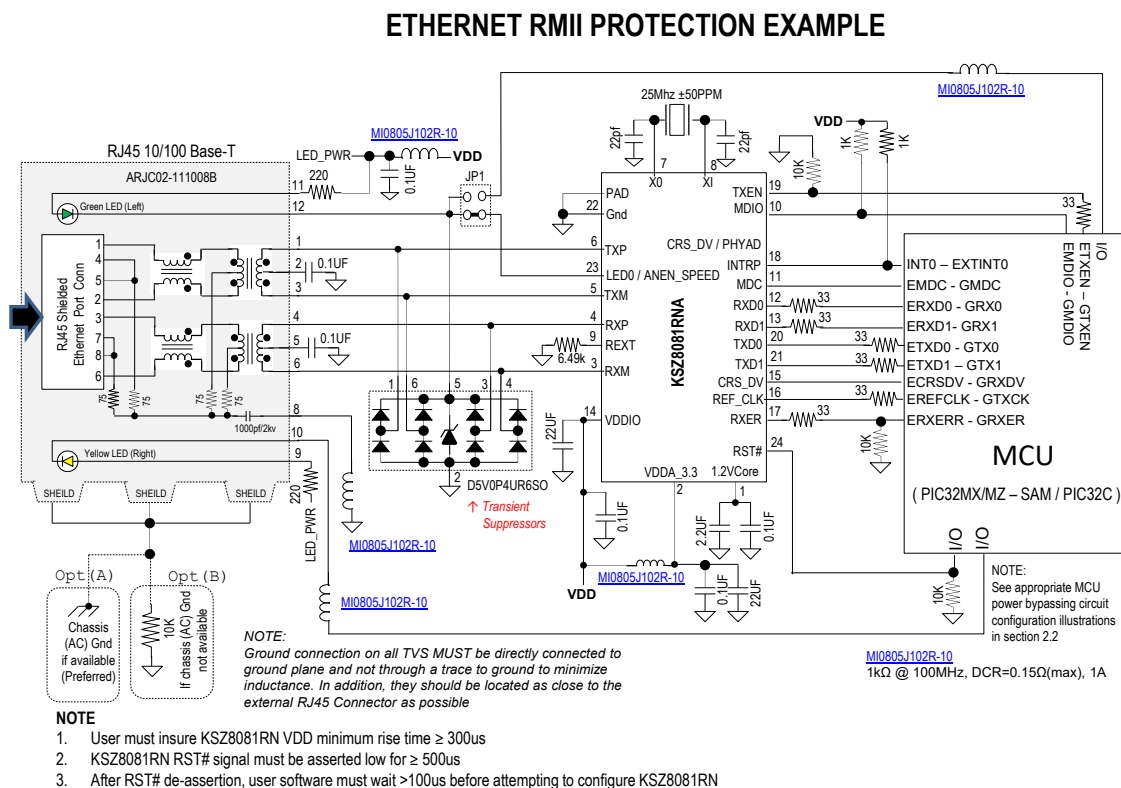
表 16-1. 以太网磁件选择标准

参数	值	测试条件
匝数比	1 CT: 1 CT	-
开路电感（最小值）	350 $\mu$ H	100 mV, 100 kHz, 8 mA
插入损耗（典型值）	-1.1 dB	100 kHz 至 100 MHz
HIPOT（最小值）	1500 Vrms	-

- 磁件必须尽可能地靠近 RJ45 连接器放置。
- 所选磁件的样式（北/南或东/西）将决定与 RJ45 连接器相关的磁件方向。确保磁件的网络侧面向 RJ45 连接器，磁件的器件侧面向 LAN 器件。这将确保通过磁件中间的高电压屏障可以在 PCB 上正确布线 and 设计。理想情况下，LAN 器件应尽可能靠近磁件放置。如果无法做到这一点，则 RJ45 连接器和磁件必须十分接近。随后，LAN 器件可置于距离 RJ45 或磁件区域稍远的位置。

返回

图 1



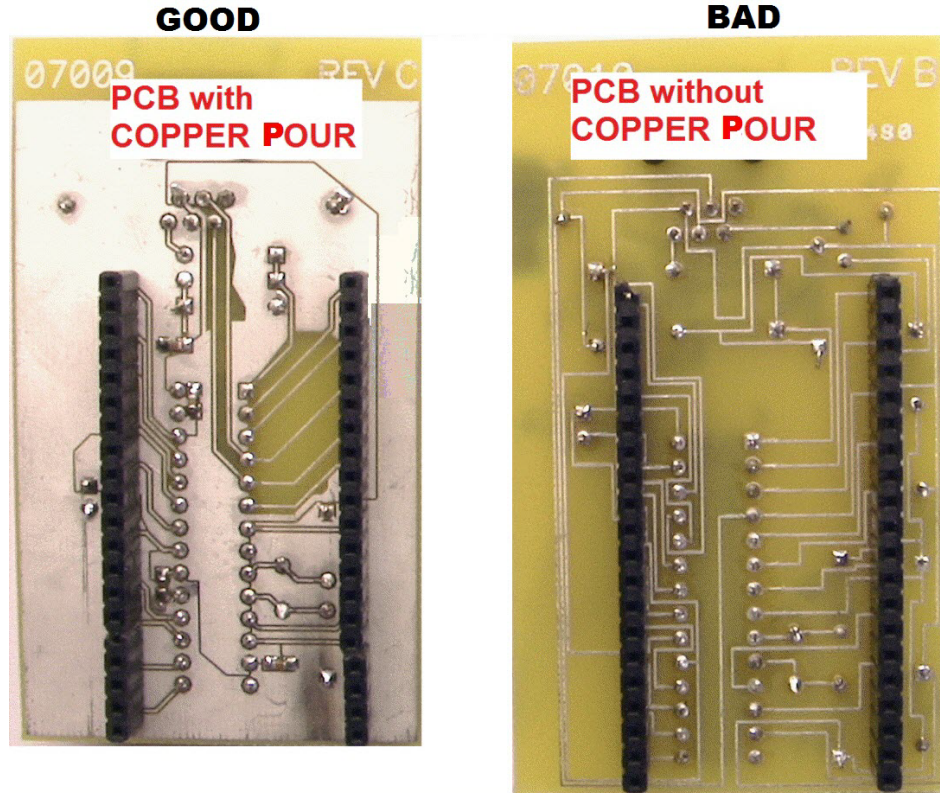
### 16.1.5 以太网保护设计要点

- 在以太网 PHY 上使用铁氧体，在 PHY 中使用磁件和 LED 指示器。
- 理想情况下，以太网 PHY 屏蔽层必须连接到机架/地（如果可用）。如果机架/地不可用，则通过 10k 电阻连接到逻辑地。这样做的目的是实现 ESD 和接地回路与 MCU 逻辑地的隔离。
- 从 MCU 到以太网控制器以及从以太网控制器到 PHY，差分 TX 和 RX 对必须构造为 100 $\Omega$  受控阻抗对。元件之间的信号距离  $\leq 2.5$  英寸。

## 17. 综合 PCB 布线指南和建议

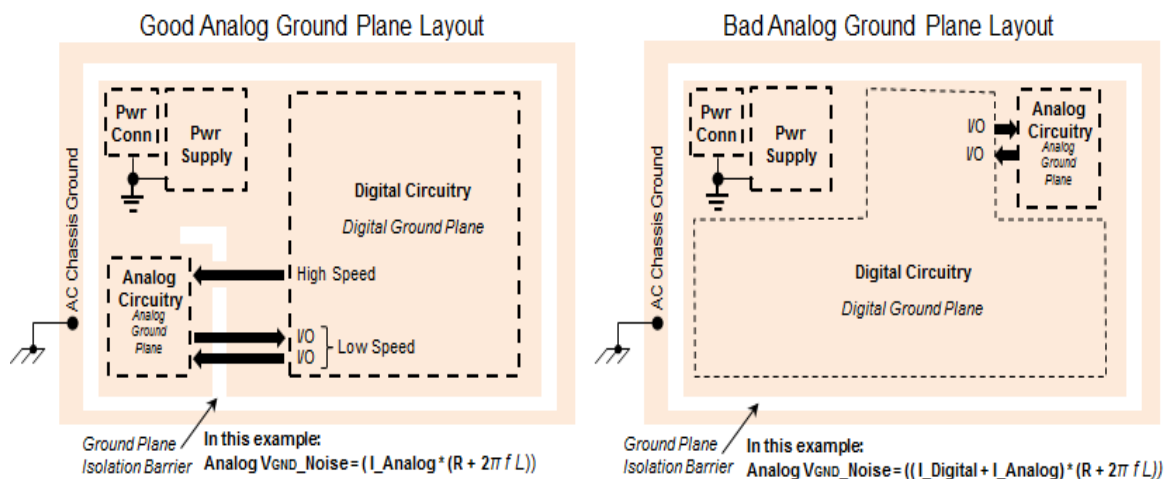
1. 首先对差分 and 高速走线进行布线，使邻近地平面层的 PCB 层 1 保持差分阻抗匹配。
2. 确保所有时钟和高速信号走线都必须有一个完整的参考地平面，其下方没有间隙或空隙。
3. 对带信号地的信号层上的所有空隙进行灌铜。

图 17-1. PCB 空隙的接地灌铜



4. 适当时使用单独的数字地和模拟地，不要将地平面连接在一起，但电源地（即，最靠近相应的输入电源稳压器）除外。

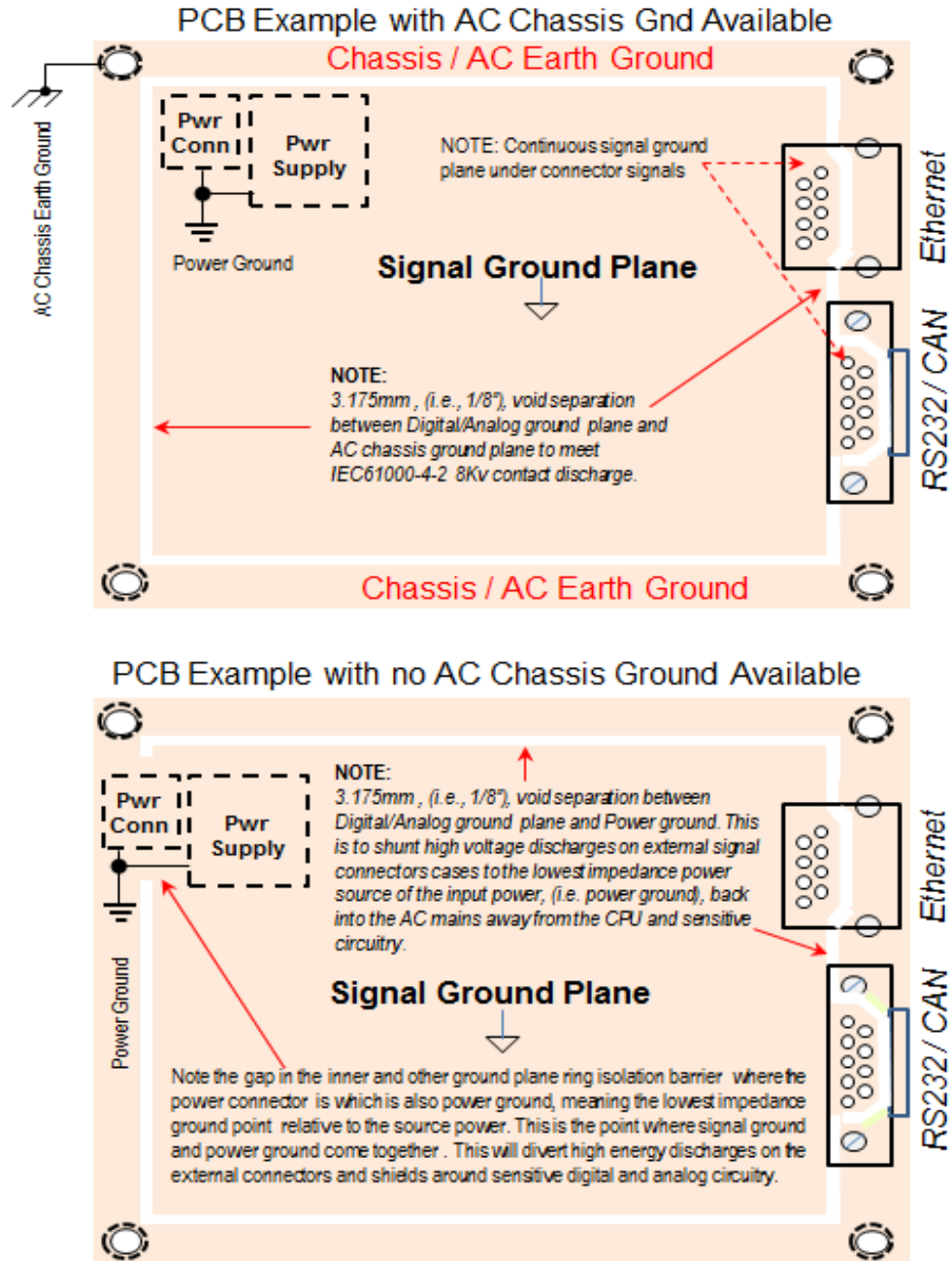
图 17-2. 模拟地与数字地布局



数字噪声和电流通常远大于模拟电路的噪声和电流。因此，应选择这样一种布局策略：模拟接地电流具有单独且非附加的数字接地电流和噪声，如上所述。使用接地隔离层来控制并包含远离模拟电路的数字噪声/电流。请记住，高频噪声会寻找电感最小的路径，该路径通常是地平面上距离最短的路径。来自数字域的大多数模拟控制信号都是低速和中速的，因此这些情况下在接地空隙上方布线是可以接受的。如果需要从数字域到模拟域的高速信号，例如音频编解码器主时钟，请不要在接地空隙上方布线，而是使用一个隔离层桥（如第一个示例所示）以及一个约  $50\Omega$  的端接电阻（时钟源处）。

5. 不要将敏感模拟信号走线在快速数字传输信号走线上方或附近平行布线。如有必要，确保它们以直角相交，以最大程度减小走线的电容横截面。
6. 应尽量缩短承载高速数字信号或时钟的走线的长度。高速数字信号和时钟通常是最强的噪声源。这些走线越长，与能量耦合的机会就越多。请记住，回路面积通常比走线长度更重要。确保每条走线附近都有良好的高频电流返回路径。
7. 必须最大程度缩短直接连接到连接器（I/O 走线）的走线的长度。直接连接到连接器的走线可能是在板上或板外耦合的 EMC、EMI 和 EFT 能量的路径。建议在所有外部连接器 I/O 引脚上使用所需的 TVS 和铁氧体磁珠和/或共模扼流圈。请参见原理图推荐的设计保护示例。
8. 通常，理想的 PCB 设计规则是不在任何表面贴装焊盘（电阻、电容和铁氧体磁珠等）之间铺设任何走线。
9. 要使 PCB 走线能够提供所需电流量，必须为其设计合理的宽度。在顶层或底层的局部区域中使用迷你平面，这样可确保提供足够的电流。
10. 连接任何电源平面或地平面的所有元件引线应尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度必须小于  $5-10\text{ mil}$ 。走线连接必须尽可能宽，以降低电感。这包括为电源平面供电的任何铁氧体磁珠以及为电源平面供电的熔丝等。
11. 不得将具有高频分量的信号连接到板 I/O 所使用元件的下方。在元件下布线的走线可以通过电容或电感方式将能量耦合到该元件。
12. 如有可能，所有连接器应位于电路板的同一边缘或同一拐角。在大多数设计中，连接器代表了最有效的 EMC/EMI 天线部分。将它们放置在电路板的同一边缘可以更容易地控制共模电压，从而可以相对于一个连接器驱动另一个连接器。

图 17-3. 外部连接器的接地建议



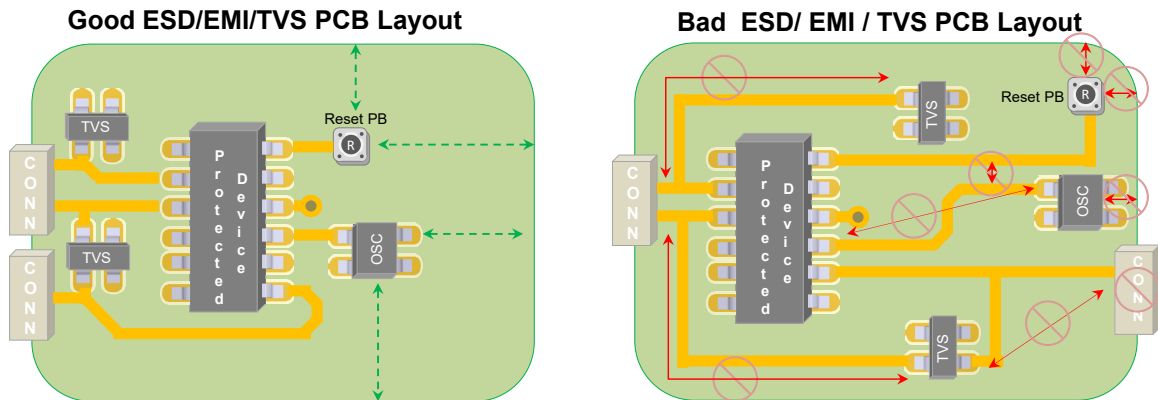
13. 在 AC 机架地可用的应用中，强烈建议不要将数字信号地和 AC 机架地相连，而是要至少间隔 3.175 mm（即 0.125 英寸），以实现 11-12 kV 火花间隙隔离，从而符合 IEC61000-4-2 等级 4 的 ±8 kV 接触放电要求。对于 USB、以太网、SD 存储卡槽、RS232 和 CAN 等外设，连接器外壳与信号地电气隔离。如有可能，外壳应连接到 AC 机架地（即地），以便无害地将高电压放电分流到地，而不是分流到数字地或模拟地电路中。

**注：** 图中的地平面在外设连接器的所有高速信号连接下始终是连续的，但连接器外壳与外部 AC 机架平面隔离。

**注：**并非所有连接器外壳都是隔离的，如音频金属输入/输出插孔外壳。它们实际上是信号地。在此类情况下，它们不得安装在隔离的 AC 机架地上，而应在适当时通过铁氧体磁珠安装在数字/模拟地上（见音频电路设计保护示例）。用户必须确定所使用的外设连接器是否具有与信号地隔离的外壳。对于隔离的连接器，仅将连接器外壳连接到 AC 机架地；其他情况下，通过适当的铁氧体磁珠连接到信号地。

对于第二个示例，在没有可用的 AC 机架地（即地）的情况下，最佳策略是仍然使用隔离层，并将其置于内部和其他平面的电路中相对于电源（电源进线和稳压器处，其他情况称为电源地）阻抗最低的点。这将转移敏感数字和模拟电路周围的外部连接器和屏蔽层上的高能量放电，以通过电源耗散并耦合回交流市电中。

14. I/O 连接器之间不应有高速电路。即使两个连接器位于电路板的同一边缘，位于它们之间的高速电路也会产生足够的共模电压来相对于一个连接器驱动另一个连接器，从而导致严重的辐射发射。
15. 如有可能，关键信号或时钟走线应埋在电源/地平面之间。在两个固定平面之间的层上布线可以很好地通过这些走线包含相应区域，避免不需要的耦合。
16. 选择具有最大可接受片外转换时间的有源数字元件。如果数字波形的转换时间短于它们所需的转换时间，则高次谐波中的功率可能远高于所需的功率。如果所用逻辑的转换时间短于它们所需的转换时间，则通常可以使用串联电阻或铁氧体来减慢转换速度。
17. 与单个器件的所有板外通信都应通过同一连接器传输。许多元件（尤其是大型 VLSI 器件）会在不同的 I/O 引脚之间产生大量共模噪声。如果其中一个器件连接到多个连接器，则此共模噪声可能会驱动性能良好的天线（该器件也会更容易受到此天线带来的辐射噪声的影响）。
18. 将瞬态电压抑制器（Transient Voltage Suppressor, TVS）尽可能靠近外部信号连接器，TVS 接地连接直接连



20. 差分信号走线对必须布线在一起，并与任何固定平面保持相同的距离。差分信号不易受噪声影响，如果它们是平衡的（即，如果它们具有相同的长度并且相对于其他导体保持相同的阻抗），则不太可能产生辐射发射。
21. 以相同电源返回（例如接地）平面为基准的所有电源（例如电压）平面必须在同一层上布线。例如，如果电路板采用三种电压（3.3V、3.3V 模拟电压和 1.8V 电压），通常需要最大程度地减少这些平面之间的高频耦合。将电压平面放在同一层上将确保没有重叠。这还有助于促成有效布局，因为有源器件不太可能在电路板上的任何一个位置需要两个不同的电压。
22. 给定层上任何两个电源平面之间的间隔应至少为 3 mm（即 11 kV 隔离）。如果同一层上的两个平面彼此过于靠近，则可能发生显著的高频耦合。在不利条件下，如果平面距离太近，电弧或短路也可能成为问题。
23. 在带有电源平面和地平面的电路板上，不得使用任何走线连接电源或接地。应使用与元件的电源或接地焊盘相邻的过孔进行连接。连接到不同层上的平面的走线会占用一定空间并增加连接的电感。如果高频阻抗是一个问题（就像电源总线去耦连接一样），则此电感会显著降低连接的性能。
24. 如果设计具有多个地平面层，则给定位置处的任何接地连接都应连接到所有地平面层的相应位置。此处的总体指导原则是，如果允许，高频电流将采用最有益（最低电感）的路径。不要试图仅通过连接到特定的平面来引导这些电流的流动。

25. 理想情况下，除非用户具有他们试图隔离的敏感模拟逻辑，否则地平面上应当没有间隙或狭缝（见[模拟地与数字地布局](#)）。通常情况下，最好有一个固定地（信号返回）平面和一个专用于该平面的层。必须与地平面隔离直流的任何额外电源或信号电流返回路径应当在地平面专用层以外的层上布线。
26. 请务必查看整个 PCB 设计，了解是否有高速信号走线在任何参考平面切口上方相交。这很有可能会引起 EMC 问题，因此要避免这种情况。
27. 电路板上与机架、线缆或其他良好“天线部件”接触（或耦合）的所有电源或接地导体必须在高频下连接在一起。不同导体之间的意外电压（名义上称为“地”）是辐射发射和敏感性问题的主要来源。

## 17.1 PCB 旁路

1. 旁路电容必须放置在靠近 PCB 上所有电源入口点的位置。这些电容将阻止不必要的高频噪声进入设计；噪声只会被分流到地面。
2. 设计中的所有 IC 电源连接和所有稳压器均必须使用旁路电容。
3. 所有旁路电容引线应尽可能短。最佳解决方案是在电容表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度应小于 5-10 mil。走线连接必须尽可能宽，以降低电感。
4. IC 去耦电容和铁氧体磁珠应尽可能靠近 IC 电源引脚。建议将电容放在电路板上器件所在的一侧。理想情况下，应将电容值为 0.1  $\mu\text{F}$  和 0.001  $\mu\text{F}$  的两个旁路电容并联。请首先布置电源线并把线返回到去耦电容，然后再走线到器件引脚。这可以确保去耦电容是电源链中的第一个元件。保持电容和电源引脚之间的走线长度尽可能短也同样重要，因为这可以减少 PCB 走线间的互感。
5. 建议在设计中使用分布在电源平面区域上方的大容量电容来改善电源稳定性，尤其是在大电流消耗器件区域。典型值的范围为 4.7  $\mu\text{F}$  至 47  $\mu\text{F}$ 。

## 17.2 PCB 层策略

1. 4 层 PCB 示例：
  - 第 1 层——元件加信号层（短走线）
  - 第 2 层——地平面
  - 第 3 层——电源平面
  - 第 4 层——信号

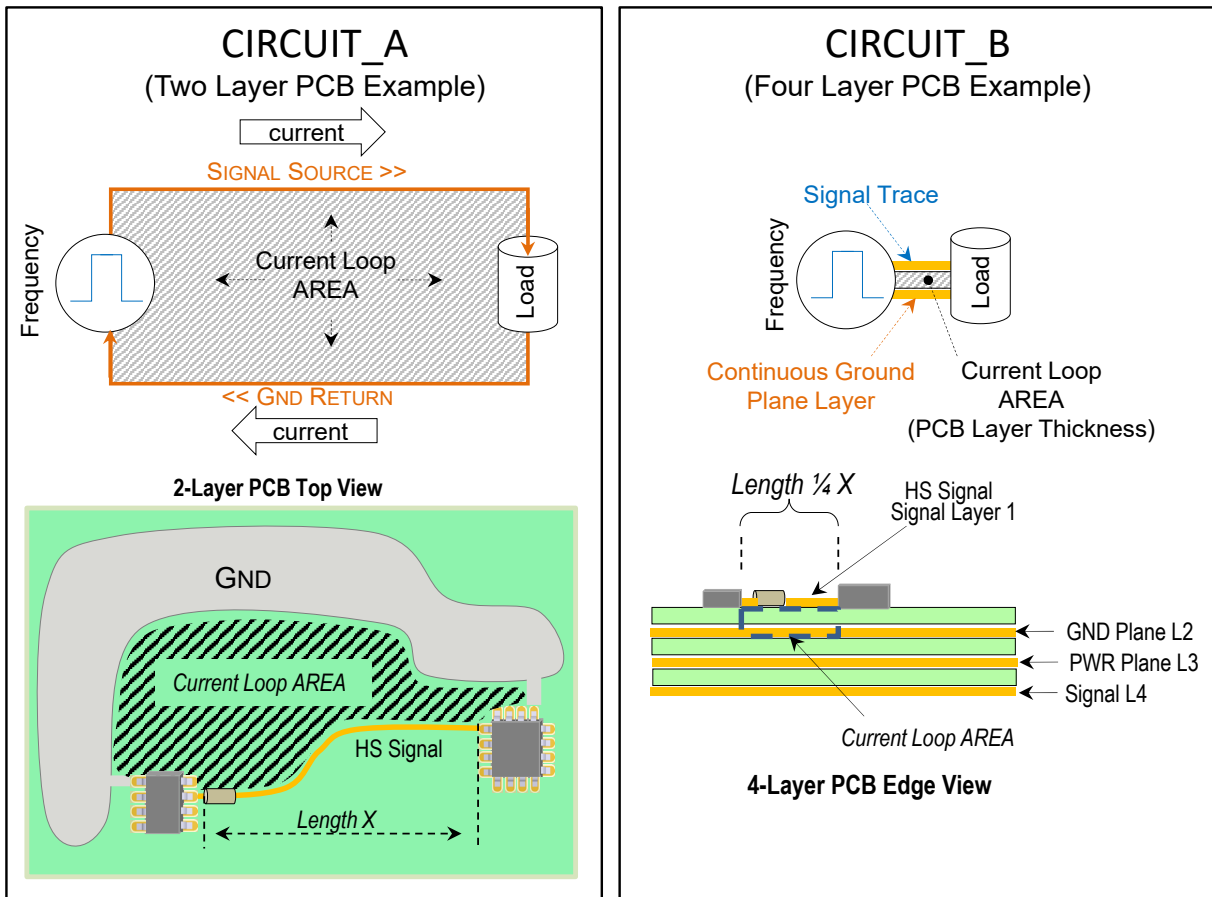
**注：** 强烈建议将此策略作为所有高速以太网 LAN 设计的最小要求，以满足大多数 EMC、EMI 和 EFT 要求。

2. 6 层 PCB 示例：
  - 第 1 层——元件加信号层（短走线）
  - 第 2 层——地平面
  - 第 3 层——信号
  - 第 4 层——信号
  - 第 5 层——电源平面
  - 第 6 层——信号

**注：** 4 层或 6 层 PCB 上的第 1 层被认为是主要的关键布线和元件层，因为其正下方是固定数字地平面，第 1 层也不需要过孔来连接位于第 1 层的元件。

3. 所有 PCB 走线（尤其是高速和关键信号走线）必须在固定连续地平面层相邻的第 1 层上布线。这些走线必须具有连续的参考平面，才能满足其整个传导长度的要求。这将有助于确保最佳信号完整性和 EMC 性能。
4. 需要将以太网机架地平面与数字地平面分离。
5. 避免在 PCB 设计和系统设计中形成电流回路。为了便于布线并最大程度减少信号串扰问题，多层设计中的相邻层应以正交方式布线。电流回路会形成强大的天线效应，使电路极易受到噪声和辐射 EMI 的影响。电流回路越大，天线效应越大，它吸引的噪声也越大。在 2 层 PCB 设计中最常见的是意外产生了电流接地回路的不佳 PCB 设计。对于高速信号，这些不佳设计是导致数据损坏的最主要问题之一。

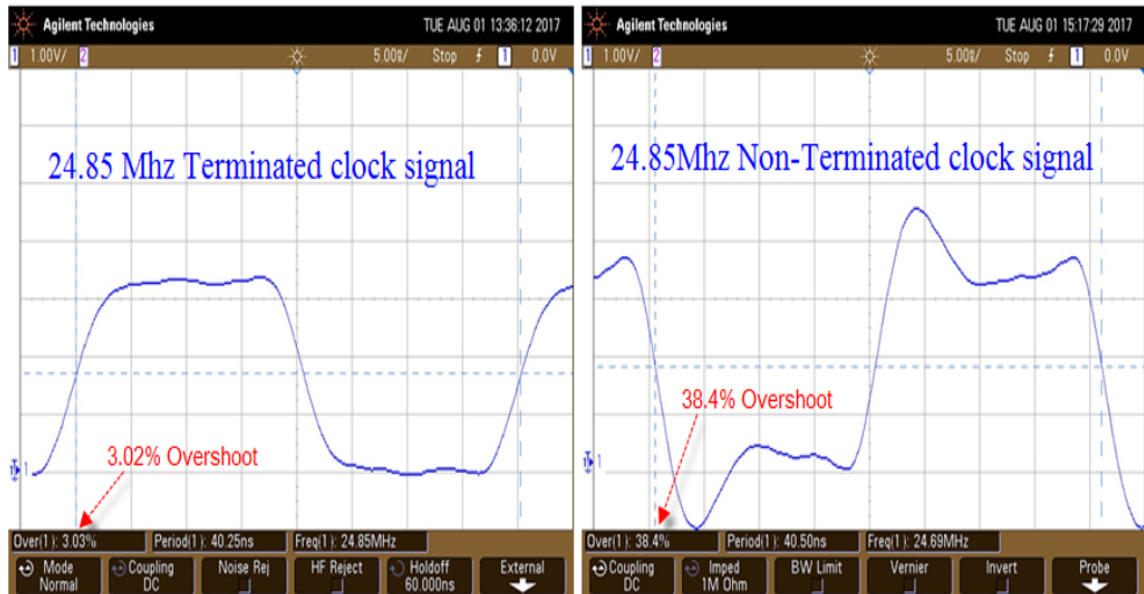




### 17.3 PCB 信号完整性问题

1. 为 PCB 上大于 15 MHz 的所有高速开关信号和时钟线提供电阻端接。在走线的驱动器侧进行上述这些端接。例外情况是高速芯片阻抗控制差分信号（例如 USB），这些信号不需要电阻端接，因为驱动器本身保证了输出阻抗符合规范。  
对于双向信号，在总线上任何输出驱动器的输出端放置一个串联电阻。

图 17-6. 高速信号端接示波器图



有两种方法可以确定所需的端接电阻值。

**第 1 步：**通过在阻抗计算器中输入 PCB 走线信息来计算 PCB 线路阻抗：

<https://www.eeweb.com/tools/microstrip-impedance> = 走线阻抗

表 17-1. PCB 走线阻抗计算示例

走线宽度	PCB 层间高度	走线厚度	PCB 基板介电常数 (FR4 Bd)	走线阻抗
0.175 mm	113 μm	1.41 mil (1 盎司铜)	4	54.6Ω

表 17-2. 基于铜重量的典型走线厚度

铜箔重量	厚度 (mil)
1 oz	1.4 mil
2 oz	2.8 mil
3 oz	4.2 mil
4 oz	5.6 mil

**第 2 步：**通过输入 PCB 走线信息计算走线阻抗后：

**方法 1 (共 2 个)：** (Ball Park 方法)

PCB 信号串联端接电阻值 =  $\{[(VDD-VOH(\min)) / IOH(\max)] - \text{走线阻抗}\}$

=  $\{[(3.3-2.4) / 10 \text{ mA}] - 54.6\Omega\}$

= 35.4Ω (舍入为最接近的标准电阻值)

= 33Ω

**方法 2 (共 2 个)：** (更精确)

将 I/O 引脚设置为输出，将逻辑高电平驱动至 1k 接地电阻。许多 I/O 引脚具有可选的驱动强度，因此可将其驱动强度配置为与应用中高速信号所需的驱动强度相同。记录在 1k 电阻两端测得的 MCU VDD 和 VOH。

- 驱动器阻抗 =  $((VDD-VOH) * 1K) / VOH$

---

- PCB 信号串联端接电阻值 = (驱动器阻抗 - 走线阻抗)

>30 MHz 范围的末端接信号频率可能在 50%范围内经历过冲/下冲。末端接的高速信号可能是辐射 EMI/EMC 特征和串扰的重要因素。

2. 最大限度地减少在高速信号设计过程中使用过孔。过孔会使高速信号走线的电容和失真阻抗增大。
3. 通常，应查看所有信号串扰设计规则以避免串扰问题。使用 3-W 规则提供足够的走线分离以避免串扰问题。此外，还可以利用保护走线来最大限度地减少高速信号的串扰问题。

## 17.4 PCB 总线注意事项

1. PCB 走线更改方向时，必须使用 45°角进行布线。切勿使用 90°角。
2. 连接任何电源平面或地平面的所有元件引线必须尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度必须小于 5-10 mil。走线连接必须尽可能宽，以降低电感。这包括为电源平面供电的任何铁氧体磁珠以及为电源平面供电的熔丝等。

[返回清单](#)

## 18. 版本历史

### 版本 A (2020 年 9 月)

本文档的初始版本。

---

## Microchip 网站

---

Microchip 网站 ([www.microchip.com/](http://www.microchip.com/)) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题解答 (FAQ)、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

## 产品变更通知服务

---

Microchip 的产品变更通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请访问 [www.microchip.com/pcn](http://www.microchip.com/pcn)，然后按照注册说明进行操作。

## 客户支持

---

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 (ESE)
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 [www.microchip.com/support](http://www.microchip.com/support) 获得网上技术支持。

## Microchip 器件代码保护功能

---

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品非常安全。
- 目前，仍存在着用恶意、甚至是非法的方法来试图破坏代码保护功能的行为。我们确信，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这种试图破坏代码保护功能的行为极可能侵犯 Microchip 的知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

## 法律声明

---

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

---

本出版物中提供的信息仅仅是为方便您使用 Microchip 产品或使用这些产品来进行设计。本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

## 商标

---

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AnyRate、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、chipKIT、chipKIT 徽标、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PackeTime、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、WinPath 和 ZL 均为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2021, Microchip Technology Incorporated 版权所有。

ISBN: 978-1-5224-7412-8

## 质量管理体系

---

有关 Microchip 的质量管理体系的信息，请访问 [www.microchip.com/quality](http://www.microchip.com/quality)。

## 全球销售及服务中心

美洲	亚太地区	亚太地区	欧洲
<b>公司总部</b> 2355 West Chandler Blvd. Chandler, AZ 85224-6199 电话: 480-792-7200 传真: 480-792-7277 技术支持: <a href="http://www.microchip.com/support">www.microchip.com/support</a> 网址: <a href="http://www.microchip.com">www.microchip.com</a>	<b>澳大利亚 - 悉尼</b> 电话: 61-2-9868-6733 <b>中国 - 北京</b> 电话: 86-10-8569-7000 <b>中国 - 成都</b> 电话: 86-28-8665-5511 <b>中国 - 重庆</b> 电话: 86-23-8980-9588 <b>中国 - 东莞</b> 电话: 86-769-8702-9880 <b>中国 - 广州</b> 电话: 86-20-8755-8029 <b>中国 - 杭州</b> 电话: 86-571-8792-8115 <b>中国 - 香港特别行政区</b> 电话: 852-2943-5100 <b>中国 - 南京</b> 电话: 86-25-8473-2460 <b>中国 - 青岛</b> 电话: 86-532-8502-7355 <b>中国 - 上海</b> 电话: 86-21-3326-8000 <b>中国 - 沈阳</b> 电话: 86-24-2334-2829 <b>中国 - 深圳</b> 电话: 86-755-8864-2200 <b>中国 - 苏州</b> 电话: 86-186-6233-1526 <b>中国 - 武汉</b> 电话: 86-27-5980-5300 <b>中国 - 西安</b> 电话: 86-29-8833-7252 <b>中国 - 厦门</b> 电话: 86-592-2388138 <b>中国 - 珠海</b> 电话: 86-756-3210040	<b>印度 - 班加罗尔</b> 电话: 91-80-3090-4444 <b>印度 - 新德里</b> 电话: 91-11-4160-8631 <b>印度 - 浦那</b> 电话: 91-20-4121-0141 <b>日本 - 大阪</b> 电话: 81-6-6152-7160 <b>日本 - 东京</b> 电话: 81-3-6880-3770 <b>韩国 - 大邱</b> 电话: 82-53-744-4301 <b>韩国 - 首尔</b> 电话: 82-2-554-7200 <b>马来西亚 - 吉隆坡</b> 电话: 60-3-7651-7906 <b>马来西亚 - 槟榔屿</b> 电话: 60-4-227-8870 <b>菲律宾 - 马尼拉</b> 电话: 63-2-634-9065 <b>新加坡</b> 电话: 65-6334-8870 <b>台湾地区 - 新竹</b> 电话: 886-3-577-8366 <b>台湾地区 - 高雄</b> 电话: 886-7-213-7830 <b>台湾地区 - 台北</b> 电话: 886-2-2508-8600 <b>泰国 - 曼谷</b> 电话: 66-2-694-1351 <b>越南 - 胡志明市</b> 电话: 84-28-5448-2100	<b>奥地利 - 韦尔斯</b> 电话: 43-7242-2244-39 传真: 43-7242-2244-393 <b>丹麦 - 哥本哈根</b> 电话: 45-4485-5910 传真: 45-4485-2829 <b>芬兰 - 埃斯波</b> 电话: 358-9-4520-820 <b>法国 - 巴黎</b> 电话: 33-1-69-53-63-20 传真: 33-1-69-30-90-79 <b>德国 - 加兴</b> 电话: 49-8931-9700 <b>德国 - 哈恩</b> 电话: 49-2129-3766400 <b>德国 - 海尔布隆</b> 电话: 49-7131-72400 <b>德国 - 卡尔斯鲁厄</b> 电话: 49-721-625370 <b>德国 - 慕尼黑</b> 电话: 49-89-627-144-0 传真: 49-89-627-144-44 <b>德国 - 罗森海姆</b> 电话: 49-8031-354-560 <b>以色列 - 若那那市</b> 电话: 972-9-744-7705 <b>意大利 - 米兰</b> 电话: 39-0331-742611 传真: 39-0331-466781 <b>意大利 - 帕多瓦</b> 电话: 39-049-7625286 <b>荷兰 - 德卢内市</b> 电话: 31-416-690399 传真: 31-416-690340 <b>挪威 - 特隆赫姆</b> 电话: 47-72884388 <b>波兰 - 华沙</b> 电话: 48-22-3325737 <b>罗马尼亚 - 布加勒斯特</b> 电话: 40-21-407-87-50 <b>西班牙 - 马德里</b> 电话: 34-91-708-08-90 传真: 34-91-708-08-91 <b>瑞典 - 哥德堡</b> 电话: 46-31-704-60-40 <b>瑞典 - 斯德哥尔摩</b> 电话: 46-8-5090-4654 <b>英国 - 沃金厄姆</b> 电话: 44-118-921-5800 传真: 44-118-921-5820
<b>亚特兰大</b> 德卢斯, 佐治亚州 电话: 678-957-9614 传真: 678-957-1455 <b>奥斯汀, 德克萨斯州</b> 电话: 512-257-3370 <b>波士顿</b> 韦斯特伯鲁, 马萨诸塞州 电话: 774-760-0087 传真: 774-760-0088 <b>芝加哥</b> 艾塔斯卡, 伊利诺伊州 电话: 630-285-0071 传真: 630-285-0075 <b>达拉斯</b> 阿迪森, 德克萨斯州 电话: 972-818-7423 传真: 972-818-2924 <b>底特律</b> 诺维, 密歇根州 电话: 248-848-4000 <b>休斯顿, 德克萨斯州</b> 电话: 281-894-5983 <b>印第安纳波利斯</b> 诺布尔斯特维尔, 印第安纳州 电话: 317-773-8323 传真: 317-773-5453 电话: 317-536-2380 <b>洛杉矶</b> 米慎维荷, 加利福尼亚州 电话: 949-462-9523 传真: 949-462-9608 电话: 951-273-7800 <b>罗利, 北卡罗来纳州</b> 电话: 919-844-7510 <b>纽约, 纽约州</b> 电话: 631-435-6000 <b>圣何塞, 加利福尼亚州</b> 电话: 408-735-9110 电话: 408-436-4270 <b>加拿大 - 多伦多</b> 电话: 905-695-1980 传真: 905-695-2078			