
带高速 PLL 的振荡器模块

目录

本章包括下列主题：

1.0	简介	2
2.0	CPU 时钟	6
3.0	振荡器配置寄存器	7
4.0	特殊功能寄存器	13
5.0	主振荡器 (POSC)	39
6.0	内部快速 RC (FRC) 振荡器	45
7.0	低功耗 RC (LPRC) 振荡器	46
8.0	主内核锁相环 (PLL)	47
9.0	从内核锁相环 (PLL)	53
10.0	主内核附属锁相环 (APLL)	59
11.0	从内核附属锁相环 (APLL)	61
12.0	故障保护时钟监视器 (FSCM)	63
13.0	时钟切换	64
14.0	双速启动	68
15.0	参考时钟输出	68
16.0	寄存器映射	69
17.0	相关应用笔记	71
18.0	版本历史	72

注： 本系列参考手册章节旨在用作对器件数据手册的补充。本文档适用于所有 dsPIC33/PIC24 器件。一些 dsPIC33/PIC24 器件是包含主从 CPU 内核的双核器件。对于单核 dsPIC33/PIC24 器件，请忽略任何从内核特定的参考信息。

请参见最新器件数据手册中“**振荡器配置**”章节开头部分的注，了解本文档是否支持您所使用的器件。

器件数据手册和系列参考手册章节可从 Microchip 网站下载：
<http://www.microchip.com>。

1.0 简介

带高速 PLL 的振荡器模块包括以下特性：

- 主和从内核子系统
- 主和从内核之间共享的内部和外部振荡器源
- 主和从内核独立片上锁相环（Phase-Locked Loop，PLL），可基于所选的内部和外部振荡器源提升内部工作频率
- 主和从内核独立附属 PLL（Auxiliary PLL，APLL）时钟发生器，可提升外设的工作频率
- 主和从内核独立打盹模式，有助于节省系统功耗
- 主和从内核独立可扩展参考时钟输出（Reference Clock Output，REFCLKO）
- 各种时钟源之间的动态时钟切换
- 故障保护时钟监视（Fail-Safe Clock Monitoring，FSCM），可检测时钟故障并允许安全地恢复或关闭应用

图 1-1 给出了 dsPIC33/PIC24 内核共享振荡器系统的框图。

带高速 PLL 的振荡器模块

图 1-1: 主和从内核共享时钟源框图

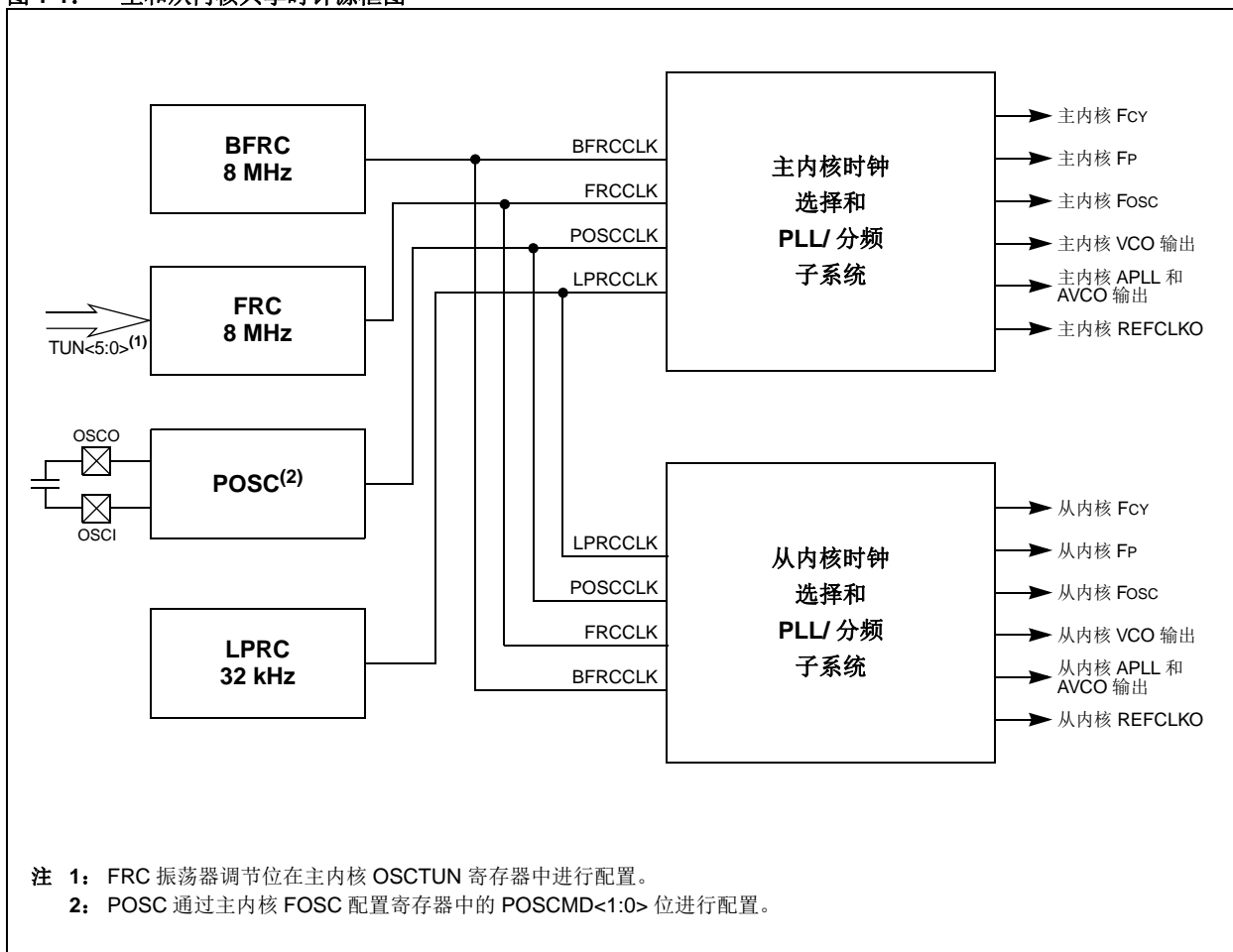
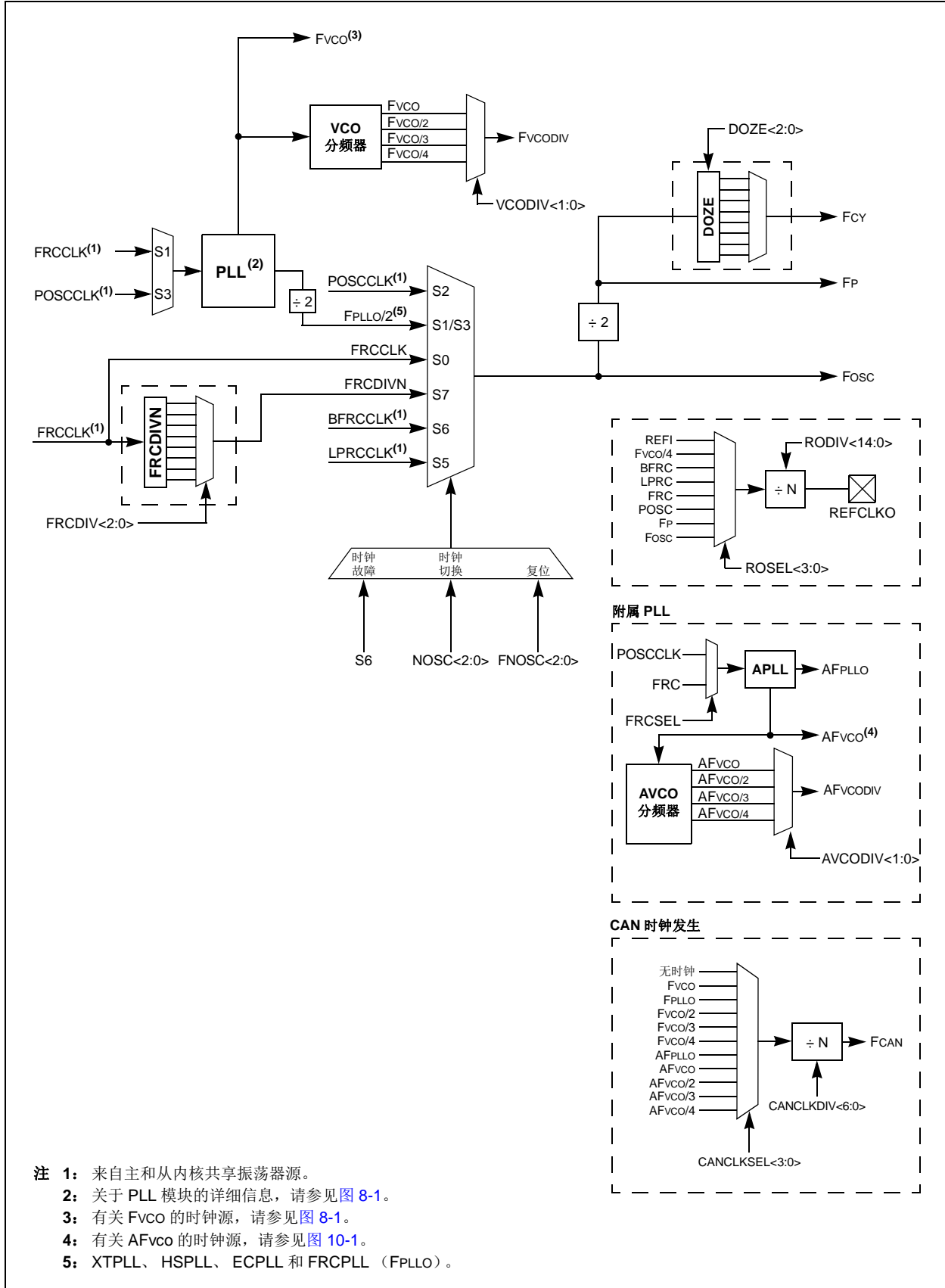
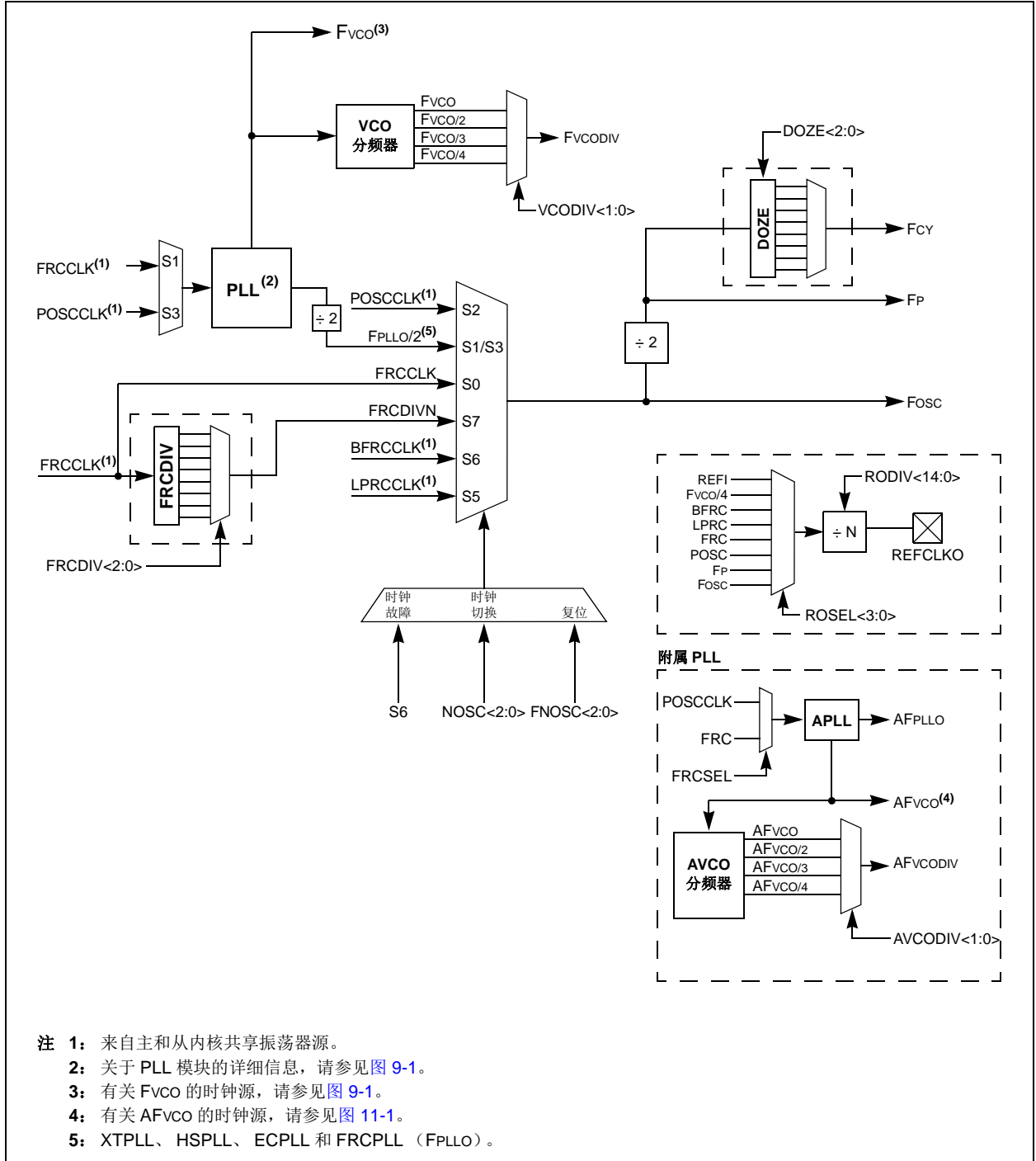


图 1-2: 主内核振荡器子系统



带高速 PLL 的振荡器模块

图 1-3: 从内核振荡器子系统



2.0 CPU 时钟

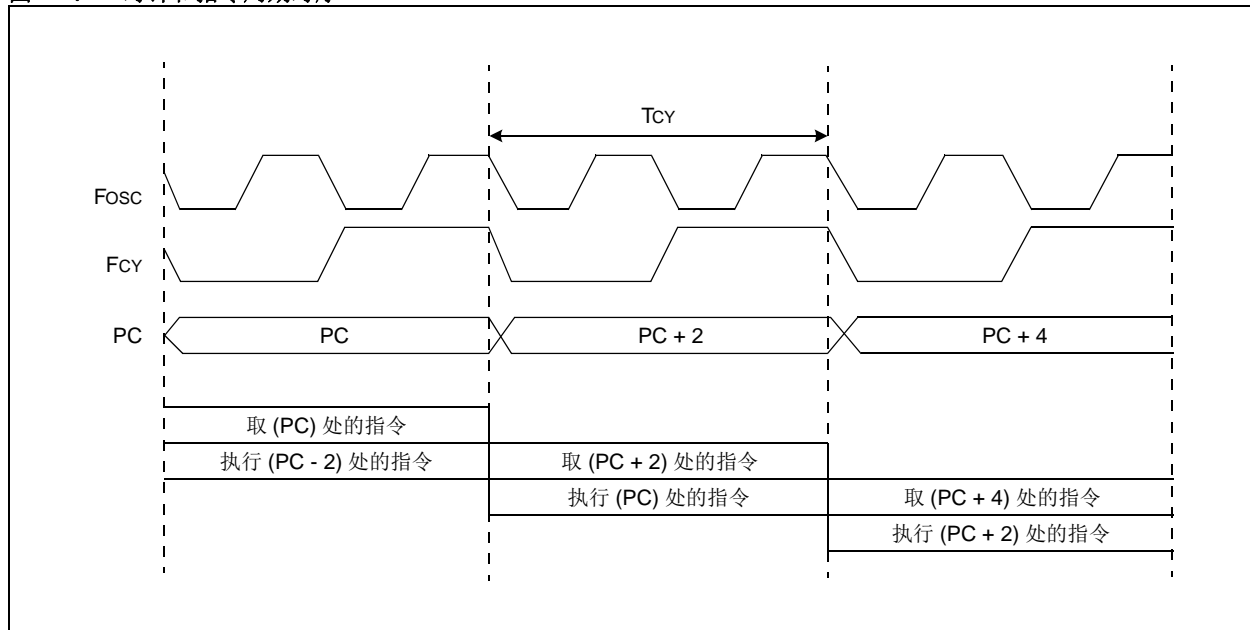
主和从内核子系统共享对一组振荡器源的访问，但所有其他时钟逻辑均单独实现。主和从内核可以独立配置为使用以下任意时钟配置：

- OSC1 和 OSC2 引脚上的主振荡器（Primary Oscillator, POSC）
- 可选时钟分频比的内部快速 RC 振荡器（Fast RC Oscillator, FRC）
- 内部低功耗 RC（Low-Power RC, LPRC）振荡器
- 带 PLL 的主振荡器
- 带 PLL 的内部快速 RC（FRCPLL）振荡器
- 内部备用快速 RC（Backup Fast RC, BFRC）振荡器

每个内核的系统时钟源都进行 2 分频，以产生内部指令周期时钟。在本文档中，指令周期时钟用 FcY 表示。图 2-1 中的时序图说明了系统时钟（Fosc）、指令周期时钟（FcY）和程序计数器（PC）之间的关系。

如果未选择主振荡器模式或 HS 模式作为时钟源，则可以在 OSC2 I/O 引脚上输出内部指令周期时钟（FcY）。更多信息，请参见第 5.0 节“主振荡器（POSC）”。

图 2-1: 时钟和指令周期时序



3.0 振荡器配置寄存器

3.1 主振荡器配置寄存器

- **FOSCSEL: 主振荡器源选择寄存器**

FOSCSEL 选择主内核的初始振荡器源和启动选项。FOSCSEL 包含以下配置位:

- 主振荡器源选择寄存器中的 FNOSC<2:0> 配置位 (FOSCSEL<2:0>) 决定在上电复位 (Power-on Reset, POR) 时使用的时钟源。在这之后, 可以通过时钟切换在允许的时钟源之间进行切换。
- 带后分频器的 FRC 振荡器 (FRCDIVN) 是默认 (未编程) 选择。

- **FOSC: 主振荡器配置寄存器**

FOSC 可配置主振荡器模式、OSC2 引脚功能、外设引脚选择 (Peripheral Pin Select, PPS)、故障保护和时钟切换模式。FOSC 包含以下配置位:

- POSCMD<1:0> (FOSC<1:0>) 配置位选择对主和从内核均可用的 POSC 工作模式。
- OSCIOFNC (FOSC<2>) 配置位选择 OSC2 引脚功能, 高速和中速振荡器 (XT) 模式下除外。

如果 OSCIOFNC 未编程 (1), 则将在 OSC2 引脚上输出主内核 Fcy 时钟。

如果 OSCIOFNC 已编程 (0), 则 OSC2 引脚将变成通用 I/O 引脚。

表 3-1 列出了在 POR 时选择器件主内核振荡器源和工作模式的配置设置。

表 3-1: 用于时钟选择的配置位值

振荡器源	振荡器模式	FNOSC<2:0> 值	POSCMD<1:0> ⁽³⁾ 值	注
S0	快速 RC 振荡器 (FRC)	000	xx	1
S1	带 PLL 的快速 RC 振荡器 (FRCPLL)	001	xx	1
S2	主振荡器 (EC)	010	00	1
S2	主振荡器 (XT)	010	01	
S2	主振荡器 (HS)	010	10	
S3	带 PLL 的主振荡器 (ECPLL)	011	00	1
S3	带 PLL 的主振荡器 (XTPLL)	011	01	
S3	带 PLL 的主振荡器 (HSPLL)	011	10	
S4	保留	100	xx	
S5	低功耗 RC 振荡器 (LPRC)	101	xx	1
S6	备用 FRC (BFRC)	110	xx	1
S7	N 分频的快速 RC 振荡器 (FRCDIVN)	111	xx	1,2

注 1: OSC2 引脚功能由 OSCIOFNC 配置位决定。

2: 这是未编程 (已擦除) 器件的默认振荡器模式。

3: 仅主振荡器配置寄存器 (FOSC) 中具有 POSCMD<1:0> 位。

dsPIC33/PIC24 系列参考手册

寄存器 3-1: FOSCSEL: 主振荡器源选择寄存器

U-1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 23							bit 16

U-1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 15							bit 8

R/PO-1	U-1	U-1	U-1	U-1	R/PO-1	R/PO-1	R/PO-1
IESO	—	—	—	—	FNOSC2	FNOSC1	FNOSC0
bit 7							bit 0

图注:	PO = 一次编程位		
R = 可读位	W = 可写位	U = 未实现位, 读为 1	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 23-8 **未实现:** 读为 1

bit 7 **IESO:** 内 / 外部启动选项位
 1 = 使用内部 FRC 振荡器启动器件, 然后在用户选择的振荡器源就绪时自动切换为该振荡器
 0 = 使用用户选择的振荡器源启动器件

bit 6-3 **未实现:** 读为 1

bit 2-0 **FNOSC<2:0>:** 初始振荡器源选择位
 111 = N 分频快速 RC 振荡器 (FRCDIVN)
 110 = 备用 FRC 振荡器 (BFRC)
 101 = 低功耗 RC 振荡器 (LPRC)
 100 = 保留
 011 = 带 PLL 的主振荡器 (XTPLL、HSPLL 和 ECPLL)
 010 = 主振荡器 (XT、HS 和 EC)
 001 = 带 PLL 的快速 RC 振荡器 (FRCPLL)
 000 = 快速 RC 振荡器 (FRC)

带高速 PLL 的振荡器模块

寄存器 3-2: FOSC: 主振荡器配置寄存器

U-1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 23						bit 16	

U-1	U-1	U-1	R/PO-1	R/PO-1	R/PO-1	U-1	R/PO-1
—	—	—	XTBST	XTCFG1	XTCFG0	—	PLLKEN
bit 15						bit 8	

R/PO-1	R/PO-1	U-1	U-1	U-1	R/PO-1	R/PO-1	R/PO-1
FCKSM1	FCKSM0	—	—	—	OSCI0FNC ⁽¹⁾	POSCMD1 ⁽²⁾	POSCMD0 ⁽²⁾
bit 7						bit 0	

图注:	PO = 一次编程位						
R = 可读位	W = 可写位	U = 未实现位, 读为 1					
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知				

bit 23-13 **未实现:** 读为 1

bit 12 **XTBST:** 振荡器的启动编程位
1 = 加快启动
0 = 默认启动

bit 11-10 **XTCFG<1:0>:** 晶振驱动选择位
振荡器的电流增益编程 (输出驱动)。
11 = 增益 3 (用于 24-32 MHz 晶振)
10 = 增益 2 (用于 16-24 MHz 晶振)
11 = 增益 1 (用于 8-16 MHz 晶振)
11 = 增益 0 (用于 4-8 MHz 晶振)

bit 9 **未实现:** 读为 1

bit 8 **PLLKEN:** PLL 锁定使能位
1 = PLL 锁定信号源是锁定检测
0 = PLL 锁定信号源是 PLL 使能信号

bit 7-6 **FCKSM<1:0>:** 时钟切换模式位
1x = 禁止时钟切换, 禁止故障保护时钟监视器
01 = 使能时钟切换, 禁止故障保护时钟监视器
00 = 使能时钟切换, 使能故障保护时钟监视器

bit 5-3 **未实现:** 读为 1

bit 2 **OSCI0FNC:** OSC2 引脚功能位 (XT 和 HS 模式下除外) ⁽¹⁾
1 = OSC2 为时钟输出, 且主内核指令周期 (主内核 Fcy) 时钟在 OSC2 引脚上输出
0 = OSC2 为通用数字 I/O 引脚

bit 1-0 **POSCMD<1:0>:** 主振荡器模式选择位 ⁽²⁾
11 = 禁止主振荡器
10 = HS 晶振模式 (10 MHz 到 32 MHz)
01 = XT 晶振模式 (3.5 MHz 到 10 MHz)
00 = EC (外部时钟) 模式 (0 MHz 到 64 MHz)

注 1: 如果主内核 OSCI0FNC 和从内核 S1OSCI0FNC 位都置 1, 则主内核 OSCI0FNC 位优先。

注 2: 仅主振荡器配置寄存器 FOSC 中具有 POSCMD<1:0> 位。此设置配置由任一内核使用的主振荡器。

3.2 从内核振荡器配置寄存器

• FS10SCSEL: 从内核振荡器源选择寄存器

FS10SCSEL 选择初始振荡器源和启动选项。FS10SCSEL 包含以下配置位:

- 从内核振荡器源选择寄存器中的 S1FNOSC<2:0> 配置位 (FS10SCSEL<2:0>) 决定在上电复位 (POR) 时使用的时钟源。在这之后, 可以通过时钟切换在允许的时钟源之间切换时钟源。
- 带后分频器的 FRC 振荡器 (FRCDIVN) 是默认 (未编程) 选择。

• FS10SC: 从内核振荡器配置寄存器

FS10SC 可配置主振荡器模式、OSC2 引脚功能、外设引脚选择 (PPS)、故障保护和时钟切换模式。

表 3-2 列出了在 POR 时选择器件从内核振荡器源和工作模式的配置设置。

表 3-2: 用于时钟选择的配置位值

振荡器源	振荡器模式	S1FNOSC<2:0> 值	POSCMD<1:0> ⁽³⁾ 值	注
S0	快速 RC 振荡器 (FRC)	000	xx	1
S1	带 PLL 的快速 RC 振荡器 (FRCPLL)	001	xx	1
S2	主振荡器 (EC)	010	00	1
S2	主振荡器 (XT)	010	01	
S2	主振荡器 (HS)	010	10	
S3	带 PLL 的主振荡器 (ECPLL)	011	00	1
S3	带 PLL 的主振荡器 (XTPLL)	011	01	
S3	带 PLL 的主振荡器 (HSPLL)	011	10	
S4	保留	100	xx	1
S5	低功耗 RC 振荡器 (LPRC)	101	xx	1
S6	备用 FRC 振荡器 (BFRC)	110	xx	1
S7	N 分频快速 RC 振荡器 (FRCDIVN)	111	xx	1、2

注 1: OSC2 引脚功能由 S10SCIOFNC 配置位决定。如果主内核 OSCIOFNC 和从内核 S10SCIOFNC 位都置 1, 则主内核 OSCIOFNC 位优先。

2: 这是未编程 (已擦除) 器件的默认振荡器模式。

3: 仅主振荡器配置寄存器 FOSC 中具有 POSCMD<1:0> 位。此设置配置由任一内核使用的主振荡器。

带高速 PLL 的振荡器模块

寄存器 3-3: **FS10SCSEL**: 从内核振荡器源选择寄存器

U-1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 23							bit 16

U1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 15							bit 8

R/PO-1	U-1	U-1	U-1	U-1	R/PO-1	R/PO-1	R/PO-1
S1IESO	—	—	—	—	S1FNOSC2	S1FNOSC1	S1FNOSC0
bit 7							bit 0

图注:	PO = 一次编程位						
R = 可读位	W = 可写位			U = 未实现位, 读为 1			
-n = POR 时的值	1 = 置 1		0 = 清零		x = 未知		

bit 23-8 **未实现:** 读为 1

bit 7 **S1IESO:** 内 / 外部启动选项位

- 1 = 使用内部 FRC 振荡器启动器件, 然后在用户选择的振荡器源就绪时自动切换为该振荡器
- 0 = 使用用户选择的振荡器源启动器件

bit 6-3 **未实现:** 读为 1

bit 2-0 **S1FNOSC<2:0>:** 初始振荡器源选择位

- 111 = N 分频快速 RC 振荡器 (FRCDIVN)
- 110 = 备用 FRC 振荡器 (BFRC)
- 101 = 低功耗 RC 振荡器 (LPRC)
- 100 = 保留
- 011 = 带 PLL 的主振荡器 (XTPLL、HSPLL 和 ECPLL)
- 010 = 主振荡器 (XT、HS 和 EC)
- 001 = 带 PLL 的快速 RC 振荡器 (FRCPLL)
- 000 = 快速 RC 振荡器 (FRC)

dsPIC33/PIC24 系列参考手册

寄存器 3-4: FS1OSC: 从内核振荡器配置寄存器

U-1	U-1	U-1	U-1	U-1	U-1	U-1	U-1
—	—	—	—	—	—	—	—
bit 23							bit 16

U-1	U-1	U-1	U-1	U-1	U-1	U-1	R/PO-1
—	—	—	—	—	—	—	S1PLLKEN
bit 15							bit 8

R/PO-1	R/PO-1	U-1	U-1	U-1	R/PO-1	U-1	U-1
S1FCKSM1	S1FCKSM0	—	—	—	S1OSCIOFNC ⁽¹⁾	—	—
bit 7							bit 0

图注:	PO = 一次编程位						
R = 可读位	W = 可写位	U = 未实现位, 读为 1					
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知				

bit 23-9 **未实现:** 读为 1

bit 8 **S1PLLKEN:** PLL 锁定使能位
 1 = 时钟切换将等待 PLL 锁定信号
 0 = PLL 锁定信号源是 PLL 使能信号

bit 7-6 **S1FCKSM<1:0>:** 时钟切换模式位
 1x = 禁止时钟切换, 禁止故障保护时钟监视器
 01 = 使能时钟切换, 禁止故障保护时钟监视器
 00 = 使能时钟切换, 使能故障保护时钟监视器

bit 5-3 **未实现:** 读为 1

bit 2 **S1OSCIOFNC:** OSC2 引脚功能位 (XT 和 HS 模式下除外) ⁽¹⁾
 1 = OSC2 为时钟输出, 且从内核指令周期 (从内核 Fcy) 时钟在 OSC2 引脚上输出
 0 = OSC2 为通用数字 I/O 引脚

bit 1-0 **未实现:** 读为 1

注 1: 如果主内核 OSCIOFNC 和从内核 S1OSCIOFNC 位都置 1, 则主内核 OSCIOFNC 位优先。

4.0 特殊功能寄存器

4.1 主内核特殊功能寄存器

这些特殊功能寄存器提供主内核振荡器系统的运行时控制和状态：

- **OSCCON: 振荡器控制寄存器⁽¹⁾**

此寄存器控制时钟切换，并提供用于监视当前时钟源、PLL 锁定和时钟故障条件的状态信息。

- **CLKDIV: 时钟分频比寄存器**

此寄存器控制打盹模式、FRC 分频比和 PLL 预分频比。

- **PLLFBF: PLL 反馈分频比寄存器**

此寄存器选择 PLL 反馈分频比。

- **OSCTUN: FRC 振荡器调节寄存器**

此寄存器只能用于主内核，可用于在软件中调节内部 FRC 振荡器频率。

- **PLLDIV: PLL 输出分频比寄存器**

此寄存器控制 VCO 分频比和两个 PLL 后分频比。

- **ACLKCON1: 附属时钟控制寄存器**

此寄存器用于配置和使能附属 PLL。APLL 时钟源选择、APLL 预分频比设置和 APLL 锁定状态都包含在此寄存器中。

- **APLLFBF1: APLL 反馈分频比寄存器**

此寄存器控制 APLL 反馈分频比。

- **APLLDIV1: APLL 输出分频比寄存器**

此寄存器控制 AVCO 分频比和两个 APLL 后分频比。

- **CANCLKCON: CAN 时钟控制寄存器⁽⁴⁾**

此寄存器控制 CAN 时钟源和分频比选择。

- **REFOCONL: 参考时钟控制低位字寄存器**

此寄存器用于配置和使能参考时钟输出。

- **REFOCONH: 参考时钟控制高位字寄存器**

此寄存器控制参考时钟输出分频比选择。

dsPIC33/PIC24 系列参考手册

寄存器 4-1: **OSCCON**: 振荡器控制寄存器⁽¹⁾

U-0	R-0	R-0	R-0	U-0	R/W-y	R/W-y	R/W-y
—	COSC2	COSC1	COSC0	—	NOSC2 ⁽²⁾	NOSC1 ⁽²⁾	NOSC0 ⁽²⁾
bit 15							bit 8

R/W-0	U-0	R-0	U-0	R/W-0	U-0	U-0	R/W-0
CLKLOCK	—	LOCK	—	CF ⁽³⁾	—	—	OSWEN
bit 7							bit 0

图注: y = 在 POR 时由配置位设置的值
R = 可读位 W = 可写位 U = 未实现位, 读为 0
-n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15 **未实现:** 读为 0
- bit 14-12 **COSC<2:0>:** 当前振荡器选择位 (只读)
 - 111 = N 分频快速 RC 振荡器 (FRC) (FRCDIVN)
 - 110 = 备用 FRC 振荡器 (BFRC)
 - 101 = 低功耗 RC 振荡器 (LPRC)
 - 100 = 保留
 - 011 = 带 PLL 的主振荡器 (XT、HS 和 EC) (XTPLL、HSPLL 和 ECPLL)
 - 010 = 主振荡器 (XT、HS 和 EC)
 - 001 = 带 PLL 的快速 RC 振荡器 (FRC) (FRCPLL)
 - 000 = 快速 RC 振荡器 (FRC)
- bit 11 **未实现:** 读为 0
- bit 10-8 **NOSC<2:0>:** 新振荡器选择位⁽²⁾
 - 111 = N 分频快速 RC 振荡器 (FRC) (FRCDIVN)
 - 110 = 备用 FRC 振荡器 (BFRC)
 - 101 = 低功耗 RC 振荡器 (LPRC)
 - 100 = 保留
 - 011 = 带 PLL 的主振荡器 (XT、HS 和 EC) (XTPLL、HSPLL 和 ECPLL)
 - 010 = 主振荡器 (XT、HS 和 EC)
 - 001 = 带 PLL 的快速 RC 振荡器 (FRC) (FRCPLL)
 - 000 = 快速 RC 振荡器 (FRC)
- bit 7 **CLKLOCK:** 时钟锁定使能位
 - 1 = 如果 FCKSM0 = 1, 则锁定时钟和 PLL 配置; 如果 FCKSM0 = 0, 则可以修改时钟和 PLL 配置
 - 0 = 不锁定时钟和 PLL 选择, 可以修改配置
- bit 6 **未实现:** 读为 0
- bit 5 **LOCK:** PLL 锁定状态位 (只读)
 - 1 = 指示 PLL 处于锁定状态, 或 PLL 起振定时器延时结束
 - 0 = 指示 PLL 处于失锁状态, 起振定时器在进行延时或 PLL 被禁止
- bit 4 **未实现:** 读为 0
- bit 3 **CF:** 时钟故障检测位⁽³⁾
 - 1 = FSCM 检测到时钟故障
 - 0 = FSCM 未检测到时钟故障

注 1: 对该寄存器进行写操作需要解锁序列。
2: 不允许直接在使能 PLL 的任何主振荡器模式和 FRCPLL 模式之间进行时钟切换 (这指两者之间任意方向的时钟切换)。在这些情况下, 应用必须首先切换到 FRC 模式将其作为两个 PLL 模式之间的过渡时钟源。
3: 该位只能用软件清零。在软件中将该位置 1 (= 1) 的效果与实际振荡器故障相同, 将触发振荡器故障陷阱。

寄存器 4-1: OSCCON: 振荡器控制寄存器⁽¹⁾ (续)

bit 2-1 未实现: 读为 0

bit 0 **OSWEN**: 振荡器切换使能位

1 = 请求振荡器切换为由 NOSC<2:0> 位指定的振荡器

0 = 已完成振荡器切换

注 1: 对该寄存器进行写操作需要解锁序列。

2: 不允许直接在使能 PLL 的任何主振荡器模式和 FRCPLL 模式之间进行时钟切换 (这指两者之间任意方向的时钟切换)。在这些情况下, 应用必须首先切换到 FRC 模式将其作为两个 PLL 模式之间的过渡时钟源。

3: 该位只能用软件清零。在软件中将该位置 1 (= 1) 的效果与实际振荡器故障相同, 将触发振荡器故障陷阱。

dsPIC33/PIC24 系列参考手册

寄存器 4-2: CLKDIV: 时钟分频比寄存器

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
ROI	DOZE2 ⁽¹⁾	DOZE1 ⁽¹⁾	DOZE0 ⁽¹⁾	DOZEN ^(2,3)	FRCDIV2	FRCDIV1	FRCDIV0
bit 15				bit 8			

U-0	U-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-1
—	—	—	—	PLLPRE3 ⁽⁴⁾	PLLPRE2 ⁽⁴⁾	PLLPRE1 ⁽⁴⁾	PLLPRE0 ⁽⁴⁾
bit 7				bit 0			

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15 **ROI:** 中断恢复位
 1 = 中断将清零 DOZEN 位, 并且处理器时钟与外设时钟的频率比被设置为 1:1
 0 = 中断对 DOZEN 位没有影响

bit 14-12 **DOZE<2:0>:** 处理器时钟分频比选择位 ⁽¹⁾
 111 = Fcy 被 128 分频
 110 = Fcy 被 64 分频
 101 = Fcy 被 32 分频
 100 = Fcy 被 16 分频
 011 = Fcy 被 8 分频 (默认)
 010 = Fcy 被 4 分频
 001 = Fcy 被 2 分频
 000 = Fcy 被 1 分频

bit 11 **DOZEN:** 打盹模式使能位 ^(2,3)
 1 = DOZE<2:0> 位域用于指定外设时钟与处理器时钟的频率比
 0 = 处理器时钟与外设时钟之间的频率比被强制为 1:1

bit 10-8 **FRCDIV<2:0>:** 内部快速 RC 振荡器后分频比位
 111 = FRC 被 256 分频
 110 = FRC 被 64 分频
 101 = FRC 被 32 分频
 100 = FRC 被 16 分频
 011 = FRC 被 8 分频
 010 = FRC 被 4 分频
 001 = FRC 被 2 分频
 000 = FRC 被 1 分频 (默认)

bit 7-6 **未实现:** 读为 0

bit 5-4 **保留:** 读为 0

注 1: 只有 DOZEN 位清零时, 才能写入 DOZE<2:0> 位。如果 DOZEN = 1, 则对 DOZE<2:0> 的任何写操作都会被忽略。

2: 该位在 ROI 位置 1 和产生中断时清零。

3: 如果 DOZE<2:0> = 000, 则 DOZEN 位不能置 1。如果 DOZE<2:0> = 000, 则用户软件将 DOZEN 位置 1 的任何尝试都会被忽略。

4: 在 PLL 工作时, 可以更新 PLLPRE<3:0> 位, 但 VCO 可能会出现过冲。

寄存器 4-2: CLKDIV: 时钟分频比寄存器 (续)

bit 3-0 **PLLPRE<3:0>**: PLL 相位检测器输入分频比选择位 (也表示为 “N1”, PLL 预分频比) (4)

1111 = 保留

•••

1001 = 保留

1000 = 输入被 8 分频

0111 = 输入被 7 分频

0110 = 输入被 6 分频

0101 = 输入被 5 分频

0100 = 输入被 4 分频

0011 = 输入被 3 分频

0010 = 输入被 2 分频

0001 = 输入被 1 分频 (上电默认选择)

0000 = 无效选择

- 注 1:** 只有 DOZEN 位清零时, 才能写入 DOZE<2:0> 位。如果 DOZEN = 1, 则对 DOZE<2:0> 的任何写操作都会被忽略。
- 2:** 该位在 ROI 位置 1 和产生中断时清零。
- 3:** 如果 DOZE<2:0> = 000, 则 DOZEN 位不能置 1。如果 DOZE<2:0> = 000, 则用户软件将 DOZEN 位置 1 的任何尝试都会被忽略。
- 4:** 在 PLL 工作时, 可以更新 PLLPRE<3:0> 位, 但 VCO 可能会出现过冲。

dsPIC33/PIC24 系列参考手册

寄存器 4-3: PLLFBD: PLL 反馈分频比寄存器

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	—	—	—	—
bit 15							bit 8
R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0
PLLFBDIV<7:0>							
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-12 **未实现:** 读为 0
bit 11-8 **保留:** 读为 0
bit 7-0 **PLLFBDIV<7:0>:** PLL 反馈分频比位 (也表示为 “M”, PLL 倍频比)
11111111 = 保留
...
11001000 = 200 (最大值) ⁽¹⁾
...
10010110 = 150 (默认值)
...
00010000 = 16 (最小值) ⁽¹⁾
...
00000010 = 保留
00000001 = 保留
00000000 = 保留

注 1: 允许的范围为 16-200 (十进制)。其余为保留值, 应避免使用。上电时采用 8 MHz FRC 输入时钟, 默认反馈分频比为 150 (十进制)。VCO 频率为 1.2 GHz。

带高速 PLL 的振荡器模块

寄存器 4-4: OSCTUN: FRC 振荡器调节寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8
U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	TUN<5:0>					
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15-6 **未实现:** 读为 0
- bit 5-0 **TUN<5:0>:** FRC 振荡器调节位
 - 011111 = 最大频率偏差为 1.74% (8.139 MHz)
 - 011110 = 中心频率 + 1.693% (8.135 MHz)
 -
 - 000001 = 中心频率 + 0.047% (8.038 MHz)
 - 000000 = 中心频率 (标称值 8.00 MHz)
 - 111111 = 中心频率 - 0.047% (7.962 MHz)
 -
 - 100001 = 中心频率 - 1.693% (7.865 MHz)
 - 100000 = 最小频率偏差为 -1.74% (7.861 MHz)

dsPIC33/PIC24 系列参考手册

寄存器 4-5: PLLDIV: PLL 输出分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	VCODIV<1:0>	
bit 15						bit 8	
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-1
—	POST1DIV<2:0> ^(1,2)			—	POST2DIV<2:0> ^(1,2)		
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
-n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15-10 **未实现:** 读为 0

bit 9-8 **VCODIV<1:0>:** PLL VCO 输出分频比选择位

- 11 = VCO 时钟
- 10 = VCO 时钟 /2
- 01 = VCO 时钟 /3
- 00 = VCO 时钟 /4

bit 7 **未实现:** 读为 0

bit 6-4 **POST1DIV<2:0>:** PLL 输出分频比 1 位 ^(1,2)

POST1DIV<2:0> 位的有效值可以为 1 到 7 (POST1DIV_x 值应大于或等于 POST2DIV_x 值)。POST1DIV_x 分频比被设计为以比 POST2DIV_x 分频比更高的时钟速率工作。

bit 3 **未实现:** 读为 0

bit 2-0 **POST2DIV<2:0>:** PLL 输出分频比 2 位 ^(1,2)

POST2DIV<2:0> 位的有效值为 1 到 7 (POST2DIV_x 值应小于或等于 POST1DIV_x 值)。POST1DIV_x 分频比被设计为以比 POST2DIV_x 分频比更高的时钟速率工作。

注 1: 在 PLL 工作时, 不能更改 POST1DIV_x 和 POST2DIV_x 分频比值。

2: POST1DIV_x 和 POST2DIV_x 的默认值分别为 4 和 1, 可产生 150 MHz 主内核 PLL 输出。

带高速 PLL 的振荡器模块

寄存器 4-6: ACLKCON1: 附属时钟控制寄存器

R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0	R/W-0
APLLEN ⁽¹⁾	APLLCK	—	—	—	—	—	FRCSEL
bit 15							bit 8

U-0	U-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	APLLPRE3	APLLPRE2	APLLPRE1	APLLPRE0
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

- bit 15 **APLLEN:** 附属 PLL 使能 / 旁路选择位 ⁽¹⁾
 1 = AFPLLO 连接到 APLL 后分频器输出 (禁止旁路)
 0 = AFPLLO 连接到 APLL 输入时钟 (使能旁路)
- bit 14 **APLLCK:** APLL 锁相环状态位
 1 = 附属 PLL 处于锁定状态
 0 = 附属 PLL 不处于锁定状态
- bit 13-9 **未实现:** 读为 0
- bit 8 **FRCSEL:** FRC 时钟源选择位
 1 = FRC 是 APLL 的时钟源
 0 = 主振荡器是 APLL 的时钟源
- bit 7-6 **未实现:** 读为 0
- bit 5-4 **保留:** 读为 0
- bit 3-0 **APLLPRE<3:0>:** 附属 PLL 相位检测器输入分频比选择位
 1111 = 保留
 ...
 1001 = 保留
 1000 = 输入被 8 分频
 0111 = 输入被 7 分频
 0110 = 输入被 6 分频
 0101 = 输入被 5 分频
 0100 = 输入被 4 分频
 0011 = 输入被 3 分频
 0010 = 输入被 2 分频
 0001 = 输入被 1 分频 (上电默认选择)
 0000 = 无效选择

注 1: 即使 APLLEN 位置 1, 也必须有另一个外设产生时钟请求, 然后 APLL 才能启动。

dsPIC33/PIC24 系列参考手册

寄存器 4-7: APLLFB1: APLL 反馈分频比寄存器

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	—	—	—	—
bit 15							bit 8
R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0
APLLFB1DIV<7:0>							
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-12 **未实现:** 读为 0
bit 11-8 **保留:** 读为 0
bit 7-0 **APLLFB1DIV<7:0>:** APLL 反馈分频比位
11111111 = 保留
...
11001000 = 200 (最大值) ⁽¹⁾
...
10010110 = 150 (默认值)
...
00010000 = 16 (最小值) ⁽¹⁾
...
00000010 = 保留
00000001 = 保留
00000000 = 保留

注 1: 允许的范围为 16-200 (十进制)。其余为保留值, 应避免使用。上电时采用 8 MHz FRC 输入时钟, 默认反馈分频比为 150 (十进制); VCO 频率为 1.2 GHz。

带高速 PLL 的振荡器模块

寄存器 4-8: APLLDIV1: APLL 输出分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	AVCODIV<1:0>	
bit 15						bit 8	
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-1
—	APOST1DIV<2:0> ^(1,2)			—	APOST2DIV<2:0> ^(1,2)		
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15-10 **未实现:** 读为 0
- bit 9-8 **AVCODIV<1:0>:** APLL VCO 输出分频比选择位
 - 11 = VCO 时钟
 - 10 = VCO/2 时钟
 - 01 = VCO/3 时钟
 - 00 = VCO/4 时钟
- bit 7 **未实现:** 读为 0
- bit 6-4 **APOST1DIV<2:0>:** APLL 输出分频比 1 位 ^(1,2)

APOST1DIV<2:0> 位的有效值可以为 1 到 7 (APOST1DIVx 值应大于或等于 APOST2DIVx 值)。
 APOST1DIVx 分频比被设计为以比 APOST2DIVx 分频比更高的时钟速率工作。
- bit 3 **未实现:** 读为 0
- bit 2-0 **APOST2DIV<2:0>:** APLL 输出分频比 2 位 ^(1,2)

APOST2DIV<2:0> 位的有效值可以为 1 到 7 (APOST2DIVx 值应小于或等于 APOST1DIVx 值)。
 APOST1DIVx 分频比被设计为以比 APOST2DIVx 分频比更高的时钟速率工作。

注 1: 在 PLL 工作时, 不能更改 APOST1DIVx 和 APOST2DIVx 值。
2: APOST1DIVx 和 APOST2DIVx 的默认值分别为 4 和 1, 可产生 150 MHz 主内核 APLL 输出。

dsPIC33/PIC24 系列参考手册

寄存器 4-9: **CANCLKCON: CAN 时钟控制寄存器** ⁽⁴⁾

R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
CANCLKEN	—	—	—	CANCLKSEL<3:0> ⁽¹⁾			
bit 15							bit 8
U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
—	CANCLKDIV<6:0> ^(2,3)						
bit 7							bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15 **CANCLKEN:** 使能 CAN 时钟发生器
 1 = 使能 CAN 时钟生成电路
 0 = 禁止 CAN 时钟生成电路

bit 14-12 **未实现:** 读为 0

bit 11-8 **CANCLKSEL<3:0>:** CAN 时钟源选择位 ⁽¹⁾

- 1011-1111 = 保留 (未选择时钟)
- 1010 = AFVCO/4
- 1001 = AFVCO/3
- 1000 = AFVCO/2
- 0111 = AFVCO
- 0110 = AFPLLO
- 0101 = FVCO/4
- 0100 = FVCO/3
- 0011 = FVCO/2
- 0010 = FPLLO
- 0001 = FVCO
- 0000 = 0 (未选择时钟)

bit 7 **未实现:** 读为 0

bit 6-0 **CANCLKDIV<6:0>:** CAN 时钟分频比选择位 ^(2,3)

- 11111111 = 128 分频
-
- 0000010 = 3 分频
- 0000001 = 2 分频
- 0000000 = 1 分频

- 注 1:** 用户必须确保输入时钟源为 640 MHz 或更低。
注 2: 在 CAN 模块工作时, 不能更改 CANCLKDIVx 分频比值。
注 3: 用户必须确保分频器的最大时钟输出频率为 80 MHz 或更低。
注 4: CAN 并未在所有器件上实现。请参见具体器件数据手册, 了解您的器件是否包含 CAN。

带高速 PLL 的振荡器模块

寄存器 4-10: REFOCONL: 参考时钟控制低位字寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0, HC	R-0, HSC
ROEN	—	ROSIDL	ROOUT	ROSLP	—	ROSWEN	ROACTIV
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	ROSEL3	ROSEL2	ROSEL1	ROSEL0
bit 7							bit 0

图注:	HC = 硬件清零位	HSC = 硬件置 1/ 清零位
R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 15 **ROEN:** 参考时钟使能位
1 = 在 REFO 引脚上使能参考振荡器
0 = 禁止参考振荡器
- bit 14 **未实现:** 读为 0
- bit 13 **ROSIDL:** 空闲模式参考时钟停止位
1 = 空闲模式下禁止参考振荡器
0 = 空闲模式下参考振荡器继续运行
- bit 12 **ROOUT:** 参考时钟输出使能位
1 = 使能参考时钟外部输出, 将其输出到 REFO 引脚
0 = 禁止参考时钟外部输出
- bit 11 **ROSLP:** 休眠模式参考时钟停止位
1 = 休眠模式下参考振荡器继续运行
0 = 休眠模式下禁止参考振荡器
- bit 10 **未实现:** 读为 0
- bit 9 **ROSWEN:** 参考时钟软件写使能位
1 = 已请求或正在进行时钟分频比更改 (由软件置 1, 完成时由硬件清零)
0 = 时钟分频比更改已完成或不处于待处理状态
- bit 8 **ROACTIV:** 参考时钟状态位
1 = 参考时钟有效; 不要更改时钟源
0 = 参考时钟已停止; 可以安全更改时钟源和配置
- bit 7-4 **未实现:** 读为 0
- bit 3-0 **ROSEL<3:0>:** 参考时钟源选择位
1111 = 保留
... = 保留
1000 = 保留
0111 = REFI 引脚
0110 = FVCO/4
0101 = BFRC
0100 = LPRC
0011 = FRC
0010 = 主振荡器
0001 = FOSC/2 (FP)
0000 = FOSC

dsPIC33/PIC24 系列参考手册

寄存器 4-11: REFOCONH: 参考时钟控制高位字寄存器

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	RODIV<14:8>						
bit 15	bit 8						

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RODIV<7:0>							
bit 7	bit 0						

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15 **未实现:** 读为 0

bit 14-0 **RODIV<14:0>:** 参考时钟整数分频比选择位

选定输入时钟源的分频比是所选值的两倍。

- 111 1111 1111 1111 = 基本时钟值被 65,534 分频 (2 * 7FFFh)
- 111 1111 1111 1110 = 基本时钟值被 65,532 分频 (2 * 7FFEh)
- 111 1111 1111 1101 = 基本时钟值被 65,530 分频 (2 * 7FFDh)
-
- 000 0000 0000 0010 = 基本时钟值被 4 分频 (2 * 2)
- 000 0000 0000 0001 = 基本时钟值被 2 分频 (2 * 1)
- 000 0000 0000 0000 = 基本时钟值

4.2 从内核特殊功能寄存器

这些特殊功能寄存器提供从内核振荡器系统的运行时控制和状态：

- **OSCCON: 振荡器控制寄存器⁽¹⁾**

此寄存器控制时钟切换，并提供用于监视当前时钟源、PLL 锁定和时钟故障条件的状态信息。

- **CLKDIV: 时钟分频比寄存器**

此寄存器控制打盹模式、FRC 分频比和 PLL 预分频比。

- **PLLFBD: PLL 反馈分频比寄存器**

此寄存器选择 PLL 反馈分频比。

- **PLLDIV: PLL 输出分频比寄存器**

此寄存器控制 VCO 分频比和两个 PLL 后分频比。

- **ACLKCON1: 附属时钟控制寄存器**

此寄存器用于配置和使能附属 PLL。APLL 时钟源选择、APLL 预分频比设置和 APLL 锁定状态都包含在此寄存器中。

- **APLLFBD1: APLL 反馈分频比寄存器**

此寄存器控制 APLL 反馈分频比。

- **APLLDIV1: APLL 输出分频比寄存器**

此寄存器控制 AVCO 分频比和两个 APLL 后分频比。

- **REFOCONL: 参考时钟控制低位字寄存器**

此寄存器用于配置和使能参考时钟输出。

- **REFOCONH: 参考时钟控制高位字寄存器**

此寄存器控制参考时钟输出分频比选择。

dsPIC33/PIC24 系列参考手册

寄存器 4-12: **OSCCON**: 振荡器控制寄存器 ⁽¹⁾

U-0	R-0	R-0	R-0	U-0	R/W-y	R/W-y	R/W-y
—	COSC2	COSC1	COSC0	—	NOSC2 ⁽²⁾	NOSC1 ⁽²⁾	NOSC0 ⁽²⁾
bit 15				bit 8			

R/W-0	U-0	R-0	U-0	R/W-0	U-0	U-0	R/W-0
CLKLOCK	—	LOCK	—	CF ⁽³⁾	—	—	OSWEN
bit 7				bit 0			

图注:	y = 在 POR 时由配置位设置的值
R = 可读位	W = 可写位
-n = POR 时的值	U = 未实现位, 读为 0
	1 = 置 1
	0 = 清零
	x = 未知

- bit 15 **未实现:** 读为 0
- bit 14-12 **COSC<2:0>:** 当前振荡器选择位 (只读)
 - 111 = N 分频快速 RC 振荡器 (FRC) (FRCDIVN)
 - 110 = 备用 FRC 振荡器 (BFRC)
 - 101 = 低功耗 RC 振荡器 (LPRC)
 - 100 = 保留
 - 011 = 带 PLL 的主振荡器 (XT、HS 和 EC) (XTPLL、HSPLL 和 ECPLL)
 - 010 = 主振荡器 (XT、HS 和 EC)
 - 001 = 带 PLL 的快速 RC 振荡器 (FRC) (FRCPLL)
 - 000 = 快速 RC 振荡器 (FRC)
- bit 11 **未实现:** 读为 0
- bit 10-8 **NOSC<2:0>:** 新振荡器选择位 ⁽²⁾
 - 111 = N 分频快速 RC 振荡器 (FRC) (FRCDIVN)
 - 110 = 备用 FRC 振荡器 (BFRC)
 - 101 = 低功耗 RC 振荡器 (LPRC)
 - 100 = 保留
 - 011 = 带 PLL 的主振荡器 (XT、HS 和 EC) (XTPLL、HSPLL 和 ECPLL)
 - 010 = 主振荡器 (XT、HS 和 EC)
 - 001 = 带 PLL 的快速 RC 振荡器 (FRC) (FRCPLL)
 - 000 = 快速 RC 振荡器 (FRC)
- bit 7 **CLKLOCK:** 时钟锁定使能位
 - 1 = 如果 FCKSM0 = 1, 则锁定时钟和 PLL 配置; 如果 FCKSM0 = 0, 则可以修改时钟和 PLL 配置
 - 0 = 不锁定时钟和 PLL 选择, 可以修改配置
- bit 6 **未实现:** 读为 0
- bit 5 **LOCK:** PLL 锁定状态位 (只读)
 - 1 = 指示 PLL 处于锁定状态, 或 PLL 起振定时器延时结束
 - 0 = 指示 PLL 处于失锁状态, 起振定时器在进行延时或 PLL 被禁止
- bit 4 **未实现:** 读为 0
- bit 3 **CF:** 时钟故障检测位 ⁽³⁾
 - 1 = FSCM 检测到时钟故障
 - 0 = FSCM 未检测到时钟故障

- 注 1:** 对该寄存器进行写操作需要解锁序列。
- 2:** 不允许直接在使能 PLL 的任何主振荡器模式和 FRCPLL 模式之间进行时钟切换 (这指两者之间任意方向的时钟切换)。在这些情况下, 应用必须首先切换到 FRC 模式将其作为两个 PLL 模式之间的过渡时钟源。
- 3:** 该位只能用软件清零。在软件中将该位置 1 (= 1) 的效果与实际振荡器故障相同, 将触发振荡器故障陷阱。

寄存器 4-12: OSCCON: 振荡器控制寄存器⁽¹⁾ (续)

bit 2-1 未实现: 读为 0

bit 0 **OSWEN**: 振荡器切换使能位

1 = 请求振荡器切换为由 **NOSC<2:0>** 位指定的振荡器

0 = 已完成振荡器切换

注 1: 对该寄存器进行写操作需要解锁序列。

2: 不允许直接在使能 PLL 的任何主振荡器模式和 **FRCPLL** 模式之间进行时钟切换 (这指两者之间任意方向的时钟切换)。在这些情况下, 应用必须首先切换到 **FRC** 模式将其作为两个 PLL 模式之间的过渡时钟源。

3: 该位只能用软件清零。在软件中将该位置 1 (= 1) 的效果与实际振荡器故障相同, 将触发振荡器故障陷阱。

dsPIC33/PIC24 系列参考手册

寄存器 4-13: CLKDIV: 时钟分频比寄存器

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
ROI	DOZE2 ⁽¹⁾	DOZE1 ⁽¹⁾	DOZE0 ⁽¹⁾	DOZEN ^(2,3)	FRCDIV2	FRCDIV1	FRCDIV0
bit 15				bit 8			

U-0	U-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	PLLPRE3 ⁽⁴⁾	PLLPRE2 ⁽⁴⁾	PLLPRE1 ⁽⁴⁾	PLLPRE0 ⁽⁴⁾
bit 7				bit 0			

图注:

r = 保留位
 R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15 **ROI:** 中断恢复位
 1 = 中断将清零 DOZEN 位, 并且处理器时钟与外设时钟的频率比被设置为 1:1
 0 = 中断对 DOZEN 位没有影响

bit 14-12 **DOZE<2:0>:** 处理器时钟分频比选择位 ⁽¹⁾
 111 = Fcy 被 128 分频
 110 = Fcy 被 64 分频
 101 = Fcy 被 32 分频
 100 = Fcy 被 16 分频
 011 = Fcy 被 8 分频 (默认)
 010 = Fcy 被 4 分频
 001 = Fcy 被 2 分频
 000 = Fcy 被 1 分频

bit 11 **DOZEN:** 打盹模式使能位 ^(2,3)
 1 = DOZE<2:0> 位域用于指定外设时钟与处理器时钟的频率比
 0 = 处理器时钟与外设时钟之间的频率比被强制为 1:1

bit 10-8 **FRCDIV<2:0>:** 内部快速 RC 振荡器后分频比位
 111 = FRC 被 256 分频
 110 = FRC 被 64 分频
 101 = FRC 被 32 分频
 100 = FRC 被 16 分频
 011 = FRC 被 8 分频
 010 = FRC 被 4 分频
 001 = FRC 被 2 分频
 000 = FRC 被 1 分频 (默认)

bit 7-6 **未实现:** 读为 0

bit 5-4 **保留:** 读为 0

注 1: 只有 DOZEN 位清零时, 才能写入 DOZE<2:0> 位。如果 DOZEN = 1, 则对 DOZE<2:0> 的任何写操作都会被忽略。

2: 该位在 ROI 位置 1 和产生中断时清零。

3: 如果 DOZE<2:0> = 000, 则 DOZEN 位不能置 1。如果 DOZE<2:0> = 000, 则用户软件将 DOZEN 位置 1 的任何尝试都会被忽略。

4: 在 PLL 工作时, 可以更新 PLLPRE<3:0>, 但 VCO 可能会出现过冲。

寄存器 4-13: CLKDIV: 时钟分频比寄存器 (续)

bit 3-0 **PLLPRE<3:0>**: PLL 相位检测器输入分频比选择位 (也表示为 “N1”, PLL 预分频比) ⁽⁴⁾

1111 = 保留

•••

1001 = 保留

1000 = 输入被 8 分频

0111 = 输入被 7 分频

0110 = 输入被 6 分频

0101 = 输入被 5 分频

0100 = 输入被 4 分频

0011 = 输入被 3 分频

0010 = 输入被 2 分频

0001 = 输入被 1 分频 (上电默认选择)

0000 = 无效选择

注 1: 只有 DOZEN 位清零时, 才能写入 DOZE<2:0> 位。如果 DOZEN = 1, 则对 DOZE<2:0> 的任何写操作都会被忽略。

2: 该位在 ROI 位置 1 和产生中断时清零。

3: 如果 DOZE<2:0> = 000, 则 DOZEN 位不能置 1。如果 DOZE<2:0> = 000, 则用户软件将 DOZEN 位置 1 的任何尝试都会被忽略。

4: 在 PLL 工作时, 可以更新 PLLPRE<3:0>, 但 VCO 可能会出现过冲。

dsPIC33/PIC24 系列参考手册

寄存器 4-14: PLLFBD: PLL 反馈分频比寄存器

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	—	—	—	—
bit 15							bit 8
R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0
PLLFBDIV<7:0>							
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = POR 时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-12 **未实现:** 读为 0

bit 11-8 **保留:** 读为 0

bit 7-0 **PLLFBDIV<7:0>:** PLL 反馈分频比位 (也表示为“M”, PLL 倍频比)

11111111 = 保留

•••

11001000 = 200 (最大值) ⁽¹⁾

•••

10010110 = 150 (默认值)

•••

00010000 = 16 (最小值) ⁽¹⁾

•••

00000010 = 保留

00000001 = 保留

00000000 = 保留

注 1: 允许的范围为 16-200 (十进制)。其余为保留值, 应避免使用。上电时采用 8 MHz FRC 输入时钟, 默认反馈分频比为 150 (十进制)。VCO 频率为 1.2 GHz。

带高速 PLL 的振荡器模块

寄存器 4-15: PLLDIV: PLL 输出分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	VCODIV<1:0>	
bit 15						bit 8	
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-1
—	POST1DIV<2:0> ^(1,2)			—	POST2DIV<2:0> ^(1,2)		
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15-10 **未实现:** 读为 0
- bit 9-8 **VCODIV<1:0>:** PLL VCO 输出分频比选择位
 - 11 = VCO 时钟
 - 10 = VCO 时钟 /2
 - 01 = VCO 时钟 /3
 - 00 = VCO 时钟 /4
- bit 7 **未实现:** 读为 0
- bit 6-4 **POST1DIV<2:0>:** PLL 输出分频比 1 位 ^(1,2)

POST1DIV<2:0>位的有效值可以为1到7 (POST1DIVx值应大于或等于POST2DIVx值)。POST1DIVx分频比被设计为以比 POST2DIVx 分频比更高的时钟速率工作。
- bit 3 **未实现:** 读为 0
- bit 2-0 **POST2DIV<2:0>:** PLL 输出分频比 2 位 ^(1,2)

POST2DIV<2:0> 位的有效值为 1 到 7 (POST2DIVx 值应小于或等于 POST1DIVx 值)。POST1DIVx 分频比被设计为以比 POST2DIVx 分频比更高的时钟速率工作。

注 1: 在 PLL 工作时, 不能更改 POST1DIVx 和 POST2DIVx 分频比值。
2: POST1DIVx 和 POST2DIVx 的默认值分别为 4 和 1, 可产生 150 MHz 从内核 PLL 输出。

dsPIC33/PIC24 系列参考手册

寄存器 4-16: **ACLKCON1**: 附属时钟控制寄存器

R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0	R/W-0
APLLEN ⁽¹⁾	APLLCK	—	—	—	—	—	FRCSEL
bit 15							bit 8
U-0	U-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-1
—	—	—	—	APLLPRE3	APLLPRE2	APLLPRE1	APLLPRE0
bit 7							bit 0

图注:

r = 保留位
 R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 15 **APLLEN:** 附属 PLL 使能 / 旁路选择位 ⁽¹⁾
 1 = AFPLLO 连接到 APLL 后分频器输出 (禁止旁路)
 0 = AFPLLO 连接到 APLL 输入时钟 (使能旁路)
- bit 14 **APLLCK:** APLL 锁相状态位
 1 = 附属 PLL 处于锁定状态
 0 = 附属 PLL 不处于锁定状态
- bit 13-9 **未实现:** 读为 0
- bit 8 **FRCSEL:** FRC 时钟源选择位
 1 = FRC 是 APLL 的时钟源
 0 = 主振荡器是 APLL 的时钟源
- bit 7-6 **未实现:** 读为 0
- bit 5-4 **保留:** 读为 0
- bit 3-0 **APLLPRE<3:0>:** 附属 PLL 相位检测器输入分频比位
 1111 = 保留
 ...
 1001 = 保留
 1000 = 输入被 8 分频
 0111 = 输入被 7 分频
 0110 = 输入被 6 分频
 0101 = 输入被 5 分频
 0100 = 输入被 4 分频
 0011 = 输入被 3 分频
 0010 = 输入被 2 分频
 0001 = 输入被 1 分频 (上电默认选择)
 0000 = 无效选择

注 1: 即使 APLLEN 位置 1, 也必须有另一个外设产生时钟请求, 然后 APLL 才能启动。

带高速 PLL 的振荡器模块

寄存器 4-17: APLLFB1: APLL 反馈分频比寄存器

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	—	—	—	—
bit 15							bit 8
R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0
APLLFBDIV<7:0>							
bit 7							bit 0

图注:	r = 保留位
R = 可读位	W = 可写位
-n = POR 时的值	1 = 置 1
	U = 未实现位, 读为 0
	0 = 清零
	x = 未知

- bit 15-12 **未实现:** 读为 0
- bit 11-8 **保留:** 读为 0
- bit 7-0 **APLLFBDIV<7:0>:** APLL 反馈分频比位
 - 11111111 = 保留
 -
 - 11001000 = 200 (最大值) ⁽¹⁾
 -
 - 10010110 = 150 (默认值)
 -
 - 00010000 = 16 (最小值) ⁽¹⁾
 -
 - 00000010 = 保留
 - 00000001 = 保留
 - 00000000 = 保留

注 1: 允许的范围为 16-200 (十进制)。其余为保留值, 应避免使用。上电时采用 8 MHz FRC 输入时钟, 默认反馈分频比为 150 (十进制); VCO 频率为 1.2GHz。

dsPIC33/PIC24 系列参考手册

寄存器 4-18: APLL DIV1: APLL 输出分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	AVCODIV<1:0>	
bit 15						bit 8	
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-1
—	APOST1DIV<2:0> ^(1,2)			—	APOST2DIV<2:0> ^(1,2)		
bit 7						bit 0	

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15-10 **未实现:** 读为 0

bit 9-8 **AVCODIV<1:0>:** APLL VCO 输出分频比选择位
 11 = VCO 时钟
 10 = VCO 时钟 /2
 01 = VCO 时钟 /3
 00 = VCO 时钟 /4

bit 7 **未实现:** 读为 0

bit 6-4 **APOST1DIV<2:0>:** APLL 输出分频比 1 位 ^(1,2)
 APOST1DIV<2:0> 位的有效值可以为 1 到 7 (APOST1DIVx 值应大于或等于 APOST2DIVx 值)。
 APOST1DIVx 分频比被设计为以比 APOST2DIVx 分频比更高的时钟速率工作。

bit 3 **未实现:** 读为 0

bit 2-0 **APOST2DIV<2:0>:** APLL 输出分频比 2 位 ^(1,2)
 APOST2DIV<2:0> 位的有效值可以为 1 到 7 (APOST2DIVx 值应小于或等于 APOST1DIVx 值)。
 APOST1DIVx 分频比被设计为以比 APOST2DIVx 分频比更高的时钟速率工作。

注 1: 在 PLL 工作时, 不能更改 APOST1DIVx 和 APOST2DIVx 分频比值。
注 2: APOST1DIVx 和 APOST2DIVx 的默认值分别为 4 和 1, 可产生 150 MHz 从内核 APLL 输出。

带高速 PLL 的振荡器模块

寄存器 4-19: REFOCONL: 参考时钟控制低位字寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0, HC	R-0, HSC
ROEN	—	ROSIDL	ROOUT	ROSLP	—	ROSWEN	ROACTIV
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	ROSEL3	ROSEL2	ROSEL1	ROSEL0
bit 7							bit 0

图注:	HC = 硬件清零位	HSC = 硬件置 1/ 清零位
R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 15 **ROEN:** 参考时钟使能位
1 = 在 REFO 引脚上使能参考振荡器
0 = 禁止参考振荡器
- bit 14 **未实现:** 读为 0
- bit 13 **ROSIDL:** 空闲模式参考时钟停止位
1 = 空闲模式下禁止参考振荡器
0 = 空闲模式下参考振荡器继续运行
- bit 12 **ROOUT:** 参考时钟输出使能位
1 = 使能参考时钟外部输出, 将其输出到 REFO 引脚
0 = 禁止参考时钟外部输出
- bit 11 **ROSLP:** 休眠模式参考时钟停止位
1 = 休眠模式下参考振荡器继续运行
0 = 休眠模式下禁止参考振荡器
- bit 10 **未实现:** 读为 0
- bit 9 **ROSWEN:** 参考时钟软件写使能位
1 = 已请求或正在进行时钟分频比更改 (由软件置 1, 完成时由硬件清零)
0 = 时钟分频比更改已完成或不处于待处理状态
- bit 8 **ROACTIV:** 参考时钟状态位
1 = 参考时钟有效; 不要更改时钟源
0 = 参考时钟已停止; 可以安全更改时钟源和配置
- bit 7-4 **未实现:** 读为 0
- bit 3-0 **ROSEL<3:0>:** 参考时钟源选择位
1111 = 保留
••• = 保留
1000 = 保留
0111 = REFI 引脚
0110 = Fvco/4
0101 = BFRC 振荡器
0100 = LPRC 振荡器
0011 = FRC 振荡器
0010 = 主振荡器
0001 = Fosc/2 (FP)
0000 = FOSC

dsPIC33/PIC24 系列参考手册

寄存器 4-20: REFOCONH: 参考时钟控制高位字寄存器

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	RODIV<14:8>							
bit 15								bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
RODIV<7:0>								
bit 7								bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15 **未实现:** 读为 0

bit 14-0 **RODIV<14:0>:** 参考时钟整数分频比选择位

选定输入时钟源的分频比是所选值的两倍。

111 1111 1111 1111 = 基本时钟值被 65,534 分频 (2 * 7FFFh)

111 1111 1111 1110 = 基本时钟值被 65,532 分频 (2 * 7FFEh)

111 1111 1111 1101 = 基本时钟值被 65,530 分频 (2 * 7FFDh)

•••

000 0000 0000 0010 = 基本时钟值被 4 分频 (2 * 2)

000 0000 0000 0001 = 基本时钟值被 2 分频 (2 * 1)

000 0000 0000 0000 = 基本时钟值

5.0 主振荡器 (POSC)

dsPIC33/PIC24 器件包含一个主振荡器 (POSC) 实例，可用于主和从内核时钟子系统。主振荡器连接在 dsPIC33/PIC24 器件的 OSC1 和 OSC2 引脚之间。此连接使能外部晶振（或陶瓷谐振器）向器件提供时钟。主振荡器提供三种工作模式：

- **中速振荡器 (XT 模式)**
 - XT 模式是用于以 3.5 MHz 到 10 MHz 的晶振频率进行工作的中增益中频模式。
- **高速振荡器 (HS 模式)**
 - HS 模式是用于以 10 MHz 到 32 MHz 的晶振频率进行工作的高增益高频模式。
- **外部时钟源工作 (EC 模式)**
 - 如果未使用片上振荡器，EC 模式将允许旁路内部振荡器。器件时钟从外部源（0 MHz 到最高 64 MHz）产生，并在 OSC1 引脚上输入。

主和从内核振荡器源选择寄存器中的 FNOSC<2:0> 和 S1FNOSC<2:0> 配置位 (FOSCSEL<2:0> 和 FS1OSCSEL<2:0>) 用于指定上电复位时的系统时钟源。

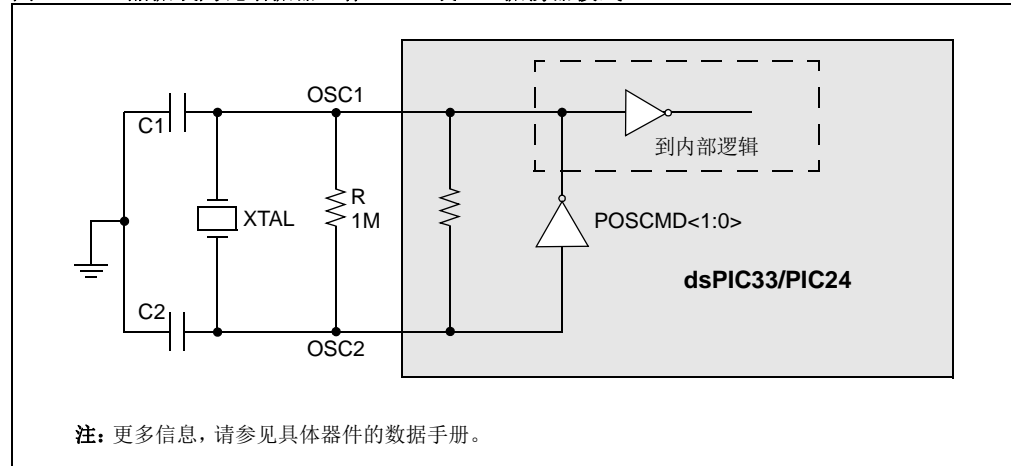
振荡器配置寄存器中的 POSCMD<1:0> 配置位 (FOSC<1:0>) 用于指定主振荡器模式。表 5-1 显示了通过特定位配置选择的选项，可以在器件编程时对其编程。

表 5-1: 主振荡器时钟源选项

FNOSC<2:0> S1FNOSC<2:0> 值	POSCMD<1:0> 值	主振荡器源和模式
010	00	主振荡器：外部时钟模式 (EC)
010	01	主振荡器：中频模式 (XT)
010	10	主振荡器：高频模式 (HS)
011	00	带 PLL 的主振荡器：外部时钟模式 (ECPLL)
011	01	带 PLL 的主振荡器：中频模式 (XTPLL)
011	10	带 PLL 的主振荡器：高频模式 (HSPLL)

图 5-1 是 dsPIC33/PIC24 器件的建议晶振电路图。电容 C1 和 C2 构成了晶振的负载电容 (CL)。给定晶振的最佳负载电容由晶振制造商指定。负载电容可以按公式 5-1 中所示进行计算。

图 5-1: 晶振或陶瓷谐振器工作 (XT 或 HS 振荡器模式)



公式 5-1: 晶振负载电容

$$C_L = C_s + \frac{C_1 \times C_2}{C_1 + C_2}$$

注: 其中 C_s 是杂散电容。

假定 $C_1 = C_2$, 公式 5-2 给出对于给定负载电容和杂散电容的 (C_1 和 C_2) 电容值。

公式 5-2: 晶振外部电容

$$C_1 = C_2 = 2 \times (C_L - C_s)$$

有关晶振及其工作的更多信息, 请参见第 17.0 节“相关应用笔记”。

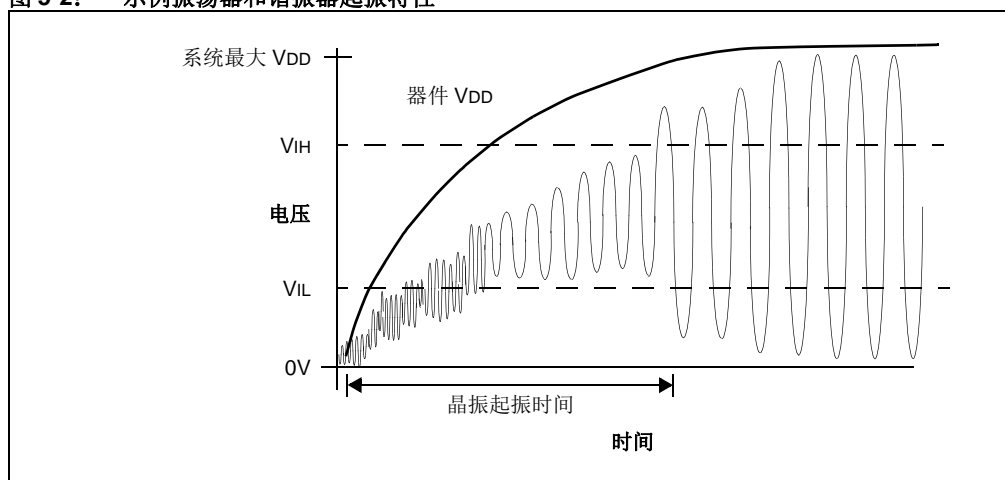
5.1 振荡器起振时间

随着器件电压从 VSS 开始升高，振荡器将开始振荡。振荡器起振所需的时间取决于以下因素：

- 晶振和谐振器频率
- 使用的电容值（图 5-1 中的 C1 和 C2）
- 器件 VDD 上升时间
- 系统温度
- 使用的串联电阻值和类型
- 器件的振荡器模式选择（选择内部振荡器反相器的增益）
- 晶振质量
- 振荡器电路布线
- 系统噪声

图 5-2 给出了典型振荡器和谐振器起振的曲线图。

图 5-2: 示例振荡器和谐振器起振特性



为确保晶振（或陶瓷谐振器）已起振并稳定下来，主振荡器（POSC）附带有振荡器起振定时器（Oscillator Start-up Timer, OST）。OST 是一个简单的 10 位计数器，在计数 1024 个周期后，将振荡器时钟释放给系统的其余部件。此超时时间表示为 T_{OST} 。

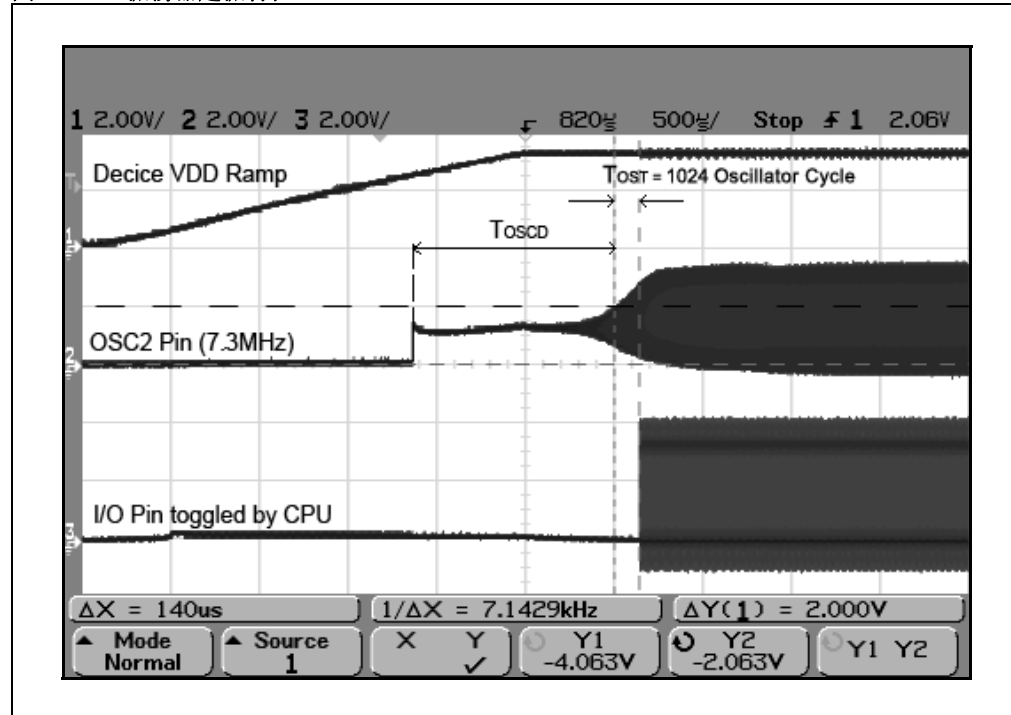
振荡器信号的幅值必须达到振荡器引脚的 V_{IL} 和 V_{IH} 阈值，OST 才能开始周期计数。在配置字中选择 XT 或 HS 模式的情况下，振荡器每次重新启动时（即 POR、BOR 以及从休眠模式唤醒时）都需要 T_{OST} 时间间隔。选择 EC 模式时， T_{OST} 定时器不可用。

在使能主振荡器后，需要在一段时间之后才会开始振荡。此延时表示为 T_{OSCD} 。在 T_{OSCD} 之后，OST 定时器将在经过 1024 个时钟周期（ T_{OST} ）后释放时钟。等待时钟就绪的总延时为： $T_{OSCD} + T_{OST}$ 。如果使用 PLL，将需要附加延时才能完成 PLL 锁定。更多信息，请参见第 8.0 节“主内核锁相环（PLL）”。

dsPIC33/PIC24 系列参考手册

主振荡器的起振行为如图 5-3 中所示，其中 CPU 将在 $T_{OSCD} + T_{OST}$ 时间间隔之后开始执行时开始翻转 I/O 引脚。

图 5-3: 振荡器起振特性



5.2 主振荡器引脚功能

未使用振荡器时，主振荡器引脚（OSC1 和 OSC2）可用于其他功能。振荡器配置寄存器中的 POSCMD<1:0> 配置位（FOSC<1:0>）决定振荡器引脚功能。OSCIOFNC 位（FOSC<2>）决定 OSC2 引脚功能。

POSCMD<1:0>：主振荡器模式选择位：

- 11 = 禁止主振荡器模式
- 10 = 选择 HS 振荡器模式
- 01 = 选择 XT 振荡器模式
- 00 = 选择外部时钟模式

OSCIOFNC：OSC2 引脚功能位（XT 和 HS 模式下除外）：

- 1 = OSC2 为时钟输出，且主内核指令周期（主内核 Fcy）时钟在 OSC2 引脚上输出（见图 5-4）
- 0 = OSC2 为通用数字 I/O 引脚（见图 5-5）

S1OSCIOFNC：OSC2 引脚功能位（XT 和 HS 模式下除外）：

- 1 = OSC2 为时钟输出，且从内核指令周期（从内核 Fcy）时钟在 OSC2 引脚上输出（见图 5-4）
- 0 = OSC2 为通用数字 I/O 引脚（见图 5-5）

表 5-2 中提供了振荡器引脚功能。

表 5-2： 时钟引脚功能选择

振荡器源	OSCIOFNC 值	S1OSCIOFNC 值	POSCMD<1:0> 值	OSC1 引脚功能 ⁽¹⁾	OSC2 引脚功能 ⁽²⁾
主振荡器禁止	1	x	11	数字 I/O	主内核时钟输出 (CY)
主振荡器禁止	0	1	11	数字 I/O	从内核时钟输出 (从内核 Fcy)
主振荡器禁止	0	0	11	数字 I/O	数字 I/O
HS	x	x	10	OSC1	OSC2
XT	x	x	01	OSC1	OSC2
EC	1	x	00	OSC1	主内核时钟输出 (CY)
EC	0	1	00	—	从内核时钟输出 (从内核 Fcy)
EC	0	0	00	—	数字 I/O

注 1：OSC1 引脚功能由主振荡器模式选择（POSCMD<1:0>）配置位决定。

2：OSC2 引脚功能由主振荡器模式选择（POSCMD<1:0>）、OSCIOFNC 和 S1OSCIOFNC 配置位决定。

3：如果主内核 OSCIOFNC 和从内核 S1OSCIOFNC 位都置 1，则主内核 OSCIOFNC 位优先。

图 5-4: 用于时钟输出的 OSC2 引脚 (EC 模式)

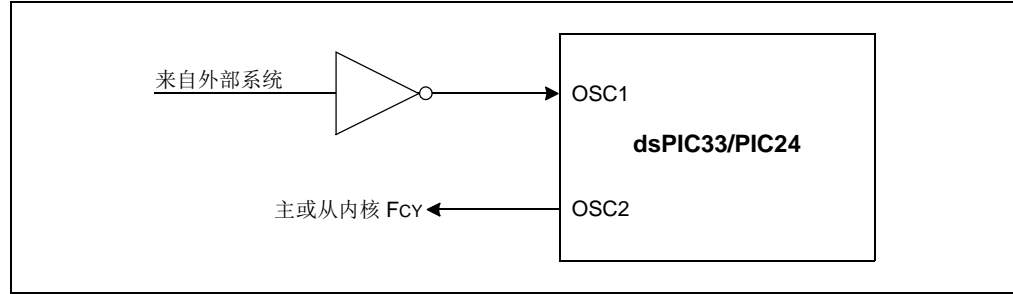
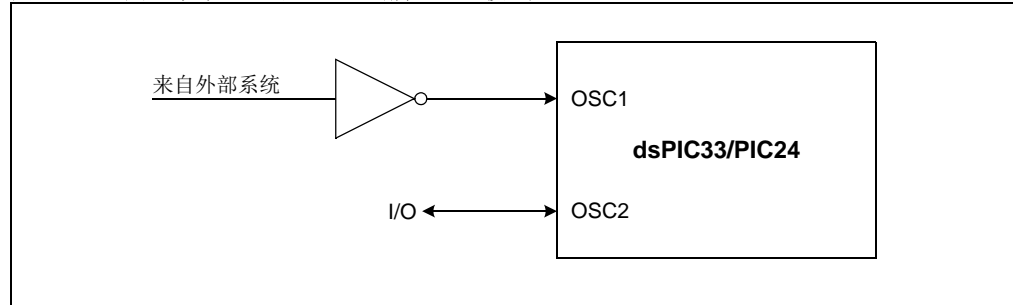


图 5-5: 用于数字 I/O 的 OSC2 引脚 (EC 模式)



6.0 内部快速 RC (FRC) 振荡器

dsPIC33/PIC24 器件包含一个内部快速 RC (FRC) 振荡器实例，它可用于主和从内核时钟子系统。FRC 振荡器提供标称 8 MHz 时钟，不需要外部晶振或陶瓷谐振器，因此将可以为不需要精确时钟参考的应用节省系统成本。

应用程序软件可以使用 FRC 振荡器调节寄存器中的 FRC 振荡器调节位 (TUN<5:0>) (OSCTUN<5:0>) 来调节振荡器的频率。

注： 有关不同温度和电压下的 FRC 时钟频率精度，请参见特定器件数据手册中的“**振荡器配置**”章节。

内部 FRC 振荡器立即起振。与需要数毫秒起振的晶振不同，内部 FRC 可立即起振。

主和从内核振荡器源选择寄存器中的 FNOSC<2:0> 和 S1FNOSC<2:0> 配置位 (FOSCSEL<2:0> 和 FS1OSCSEL<2:0>) 用于指定上电复位时的系统时钟源。表 6-1 中提供了上电复位时的 FRC 时钟源选项。配置位在器件编程时进行编程。

表 6-1: FRC 时钟源选项

FNOSC<2:0> S1FNOSC<2:0> 值	主振荡器源和模式
000	FRC 振荡器 (FRC)
001	FRC 振荡器: 带 PLL 的后分频器 (FRCPLL)
110	备用 FRC 振荡器 (BFRC)
111	FRC 振荡器: 经后分频器 N 分频 (FRCDIVN)

6.1 FRC 后分频器模式 (FRCDIVN)

在 FRC 后分频器模式下，可变的后分频比可对 FRC 时钟输出进行分频，并允许选择较低的频率。后分频比由时钟分频比寄存器中的内部快速 RC 振荡器后分频比位 (FRCDIV<2:0>) (CLKDIV<10:8>) 控制，有从 1:1 到 1:256 的 8 个设置可供选择。

表 6-2: 内部快速 RC 振荡器后分频比设置

FRCDIV<2:0> 值	内部 FRC 振荡器设置
000	FRC 1 分频 (默认)
001	FRC 2 分频
010	FRC 4 分频
011	FRC 8 分频
100	FRC 16 分频
101	FRC 32 分频
110	FRC 64 分频
111	FRC 256 分频

7.0 低功耗 RC (LPRC) 振荡器

dsPIC33/PIC24 器件包含一个低功耗 RC (LPRC) 振荡器实例，可用于主和从内核时钟子系统。LPRC 振荡器提供 32kHz 的标称时钟频率，是每个内核时钟系统中的上电延时定时器 (Power-up Timer, PWRT)、看门狗定时器 (Watchdog Timer, WDT) 和故障保护时钟监视器 (FSCM) 电路的时钟源。

它也可以用来为那些应用中功耗至关重要但对时序精度要求不高的器件提供低频时钟源选项。

注： LPRC 振荡器的时钟频率依器件电压和工作温度而不同。有关更多信息，请参见具体器件数据手册中的“电气特性”章节。

7.1 用作系统时钟的 LPRC 振荡器

在以下情况下会选择 LPRC 作为系统时钟：

- 相应设置主或从内核振荡器源选择寄存器中的初始振荡器源选择位 (FNOSC<2:0>) (分别为 FOSCSEL<2:0> 和 FS1OSCSEL<2:0>)，以选择在上电复位时使用 LPRC 振荡器。
- 用户软件启动主或从内核时钟切换到 LPRC 振荡器进行低功耗操作

7.2 使能 LPRC 振荡器

LPRC 振荡器是主和从内核中 PWRT、WDT 和 FSCM 的时钟源。LPRC 振荡器在上电时使能。

LPRC 振荡器在以下任一条件下保持使能：

- 主或从内核 FSCM 已使能
- 主或从内核 WDT 已使能
- LPRC 振荡器已选择为系统时钟

如果上述条件没有一个为 true，LPRC 振荡器将在 PWRT 结束后关闭。LPRC 振荡器在休眠模式下将关闭。

注： 如果使能了 WDT 或时钟故障检测，则 LPRC 将使能并自动运行。只有使能了看门狗定时器时，LPRC 才会在休眠模式下运行。在所有其他条件下，LPRC 在休眠模式下都将被禁止。

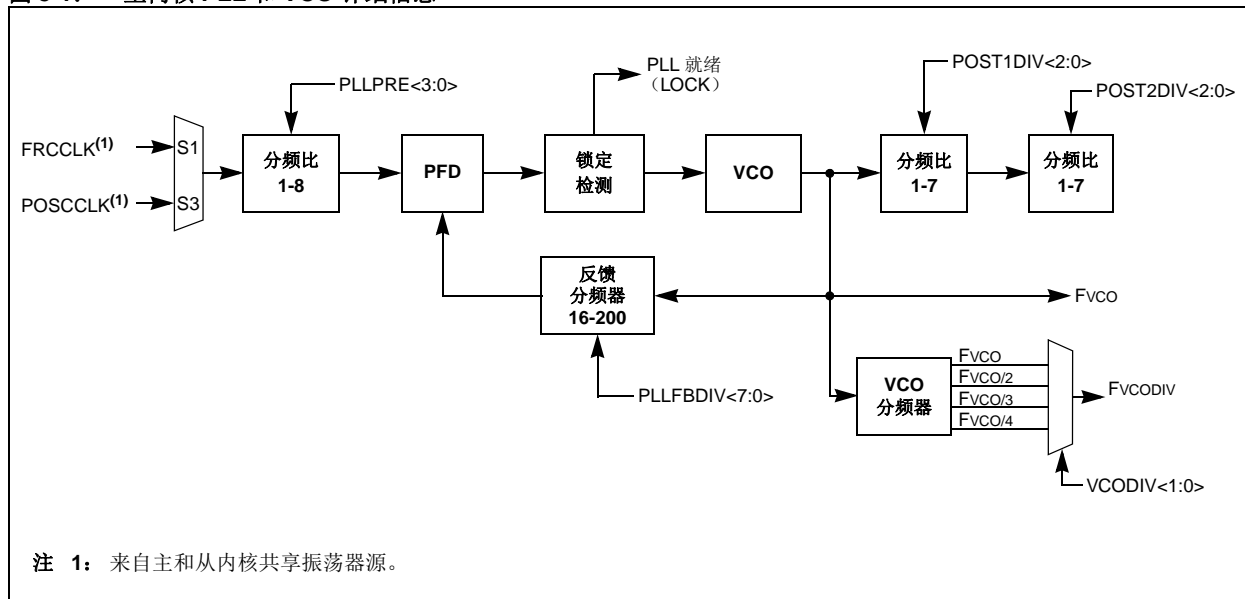
7.3 LPRC 振荡器起振延时

与需要数毫秒才能起振的晶振不同，LPRC 振荡器可立即起振。

8.0 主内核锁相环 (PLL)

主振荡器和内部 FRC 振荡器源可选择使用片上 PLL 来获取更高的工作速度。图 8-1 给出了 PLL 模块的框图。

图 8-1: 主内核 PLL 和 VCO 详细信息



为了让 PLL 工作，必须始终毫无例外地满足以下要求：

- PLL 输入频率 (F_{PLLI}) 必须介于 8 MHz 到 64 MHz 之间
- PFD 输入频率 (F_{PFD}) 必须介于 8 MHz 到 (F_{VCO}/16) MHz 之间
- VCO 输出频率 (F_{VCO}) 必须介于 400 MHz 到 1600 MHz 之间

时钟分频比寄存器中的 PLL 相位检测器输入分频比选择位 (PLLPRE<3:0>) (CLKDIV<3:0>) 用于指定输入分频比 (N₁)，该分频比用来调低输入时钟 (F_{PLLI})，以满足 8 MHz 到 (F_{VCO}/16) MHz 的 PFD 输入频率范围。

PLL 反馈分频比寄存器中的 PLL 反馈分频比位 (PLLFBDIV<7:0>) (PLLFB<7:0>) 用于指定分频比 (M)，该分频比可调低输入到 PFD 反馈的 VCO 输出频率 (F_{VCO})。VCO 频率 (F_{VCO}) 等于 “M” 乘以 PFD 输入频率 (F_{PFD})。

有两个通过 POST1DIV<2:0> 和 POST2DIV<2:0> 选择位配置的 PLL VCO 输出分频比。这些位位于 PLL 输出分频比寄存器中 (PLLDIV<6:4> 和 PLLDIV<2:0>)，用于指定限制 PLL 输出频率 (F_{PLLO}) 的分频比 (N₂ 和 N₃)。F_{PLLO} 在用作主内核系统时钟时不能超过 400 MHz (100 MIPS)。

公式 8-1 给出了 PLL 输入频率 (F_{PLLI}) 和 VCO 输出频率 (F_{VCO}) 之间的关系。

公式 8-1: 主内核 F_{VCO} 计算

$$F_{VCO} = F_{PLLI} \times \left(\frac{M}{N1} \right) = F_{PLLI} \times \left(\frac{PLLFBDIV\langle 7:0 \rangle}{PLLPRE\langle 3:0 \rangle} \right)$$

公式 8-2 给出了 PLL 输入频率 (F_{PLLI}) 和 PLL 输出频率 (F_{PLO}) 之间的关系。

公式 8-2: 主内核 F_{PLO} 计算

$$F_{PLO} = F_{PLLI} \times \left(\frac{M}{N1 \times N2 \times N3} \right) = F_{PLLI} \times \left(\frac{PLLFBDIV\langle 7:0 \rangle}{PLLPRE\langle 3:0 \rangle \times POST1DIV\langle 2:0 \rangle \times POST2DIV\langle 2:0 \rangle} \right)$$

其中:

$$M = PLLFBDIV\langle 7:0 \rangle$$

$$N1 = PLLPRE\langle 3:0 \rangle$$

$$N2 = POST1DIV\langle 2:0 \rangle$$

$$N3 = POST2DIV\langle 2:0 \rangle$$

带高速 PLL 的振荡器模块

8.1 PLL 模式在启动时的输入时钟限制

表 8-1 给出了上电复位 (POR) 时 PLL 预分频比、PLL 反馈分频比和两个 PLL 后分频比的默认值。

表 8-1: 主内核 PLL 模式默认值

寄存器	位域	上电复位时的值	PLL 分频比
CLKDIV<3:0>	PLLPRE<3:0>	0001	N1 = 1
PLLDIV<6:4>	POST1DIV<2:0>	100	N2 = 4
PLLDIV<2:0>	POST2DIV<2:0>	001	N3 = 1
PLLFBD<7:0>	PLLFBDIV<7:0>	10010110	M = 150

基于这些复位值，可以通过以下公式计算出上电复位时的 PLL 输入频率 (F_{PLLI}) 和 VCO 输出频率 (F_{VCO})。

公式 8-3: 上电复位时的主内核 F_{VCO}

$$F_{VCO} = F_{PLLI} \left(\frac{M}{N1} \right) = F_{PLLI} \left(\frac{150}{1} \right) = 150 F_{PLLI}$$

公式 8-4: 上电复位时的主内核 F_{PLO}

$$F_{PLO} = F_{PLLI} \left(\frac{M}{N1 \times N2 \times N3} \right) = F_{PLLI} \left(\frac{150}{1 \times 4 \times 1} \right) = 37.5 F_{PLLI}$$

要使用具有非默认设置的 PLL 并确保满足所有 PLL 要求，请遵循以下过程：

1. 器件上电时使用不带 PLL 的内部 FRC 或主振荡器。
2. 基于输入频率，更改 PLLFBDIV_x、PLLPRE_x、POST1DIV_x 和 POST2DIV_x 位的值，确保满足以下 PLL 要求：
 - PLL 输入频率 (F_{PLLI}) 必须介于 8 MHz 到 64 MHz 之间
 - PFD 输入频率 (F_{PFD}) 必须介于 8 MHz 到 (F_{VCO}/16) MHz 之间
 - VCO 输出频率 (F_{VCO}) 必须介于 400 MHz 到 1600 MHz 之间
3. 在软件中将时钟切换到 PLL 模式。

注： 在 PLL 模式下工作时，不应更改 PLL 相位检测器输入分频比选择位 (PLLPRE_x) 和 PLL 反馈分频比位 (PLLFBDIV_x)。因此，用户必须以非 PLL 模式启动或者将时钟切换到非 PLL 模式 (例如，内部 FRC 振荡器)，做出任何必要的更改后，再将时钟切换到所需的 PLL 模式。

不允许将时钟从一个 PLL 时钟源直接切换到另一个 PLL 时钟源。用户需要通过将时钟切换到非 PLL 时钟源来进行 PLL 时钟源之间的切换。

8.2 PLL 锁定状态

只要更改了 PLL 输入频率、PLL 预分频比或 PLL 反馈分频比，PLL 都需要一段时间（TLOCK）同步到新设置。

在上电复位时或时钟切换操作期间选择 PLL 作为时钟源时，将应用 TLOCK。TLOCK 是相对于时钟可用于 PLL 输入的时间点的时间值。例如，对于 POSC，TLOCK 在 OST 延时后开始。有关振荡器起振延时的更多信息，请参见第 5.1 节“振荡器起振时间”。另外，有关典型 TLOCK 值的更多信息，请参见具体器件数据手册中的“振荡器配置”章节。

振荡器控制寄存器中的 LOCK 位（OSCCON<5>）为只读状态位，用于指示 PLL 的锁定状态。LOCK 位在上电复位时以及选择 PLL 作为目标时钟源的时钟切换操作期间被清零。在选择了任何不使用 PLL 的时钟源时，它将保持清零。建议在使能 PLL 的时钟切换事件之后等待 LOCK 位置 1，然后再执行其他代码。

注： 在 PLL 模式下工作时，不应更改 PLL 相位检测器输入分频比选择位（PLLPREx）和 PLL 反馈分频比位（PLLFBDIVx）。必须先将时钟切换到非 PLL 模式（例如，内部 FRC）做出必需的更改，再将时钟切换回 PLL 模式。

8.3 PLL 设置

8.3.1 PLL 与主振荡器（POSC）配合使用的设置

以下过程用于设置 PLL，以使器件通过 10 MHz 的外部晶振以 50 MIPS 的速率工作：

1. 为了以 50 MHz 的频率执行指令，需要 200 MHz 的 PLL 输出频率。
2. 为设置 PLL 以满足 PLL 要求，请执行以下步骤：
 - a) 选择 PLL 预分频比，以满足 PFD 输入频率要求（ $8 \text{ MHz} \leq \text{F}_{\text{PFD}} \leq (\text{F}_{\text{VCO}}/16) \text{ MHz}$ ）。
 - 选择 PLL 预分频比值 $N1 = 1$
 - $\text{F}_{\text{PLLI}} = 10 \text{ MHz}$
 - $\text{F}_{\text{PFD}} = 10 \text{ MHz} / N1 = 10 \text{ MHz} / 1 = 10 \text{ MHz}$
 - b) 选择反馈分频比，确保满足 VCO 输出频率要求（ $400 \text{ MHz} \leq \text{F}_{\text{VCO}} \leq 1.6 \text{ GHz}$ ）并达到所需的 FVCO 频率。
 - 选择反馈分频比值 $M = 100$
 - $\text{F}_{\text{VCO}} = \text{F}_{\text{PLLI}} \times (M/N1) = 10 \text{ MHz} \times (100/1) = 1 \text{ GHz}$
 - c) 选择第一个和第二个 PLL 后分频比的值，确保达到所需的 FPLLO 频率。
 - 选择第一个和第二个后分频比的值： $N2 = 5$ 和 $N3 = 1$
 - $\text{F}_{\text{PLLO}} = \text{F}_{\text{VCO}} / (N2 \times N3) = 1 \text{ GHz} / 5 = 200 \text{ MHz}$
 - d) 配置 FNOSC<2:0> 位（FOSCSEL<2:0>），确保选择在上电复位时使用不带 PLL 的时钟源（例如，内部 FRC 振荡器）。
 - e) 在主程序中，将 PLL 预分频比、PLL 后分频比和 PLL 反馈分频比的值更改为在之前步骤中刚确定的值，然后将时钟切换到 PLL 模式。

例 8-1 给出了 PLL 与随主振荡器配合使用的代码。（另外，有关时钟切换的示例代码，请参见第 13.0 节“时钟切换”。）

例 8-1: PLL 与主振荡器（POSC）配合使用的代码示例

```
//code example for 50 MIPS system clock using POSC with 10 MHz external crystal

// Select Internal FRC at POR
_FOSCSEL(FNOSC_FRC & IESO_OFF);

// Enable Clock Switching and Configure POSC in XT mode
_FOSC(FCKSM_CSECMD & POSCMD_XT);

int main()
{
    // Configure PLL prescaler, both PLL postscalers, and PLL feedback divider
    CLKDIVbits.PLLPRE = 1;           // N1=1
    PLLFBDbits.PLLFBDIV = 100;      // M = 100
    PLLDIVbits.POST1DIV = 5;        // N2=5
    PLLDIVbits.POST2DIV = 1;        // N3=1

    // Initiate Clock Switch to Primary Oscillator with PLL (NOSC=0b011)
    __builtin_write_OSCCONH(0x03);
    __builtin_write_OSCCONL(OSCCON | 0x01);

    // Wait for Clock switch to occur
    while (OSCCONbits.OSWEN != 0);

    // Wait for PLL to lock
    while (OSCCONbits.LOCK!= 1);
}
```

8.3.2 PLL 与 8 MHz 内部 FRC 配合使用的设置

以下过程用于设置 PLL，以使器件通过 8 MHz 的内部 FRC 以 50 MIPS 的速率工作：

1. 为了以 50 MHz 的频率执行指令，需要 200 MHz 的 PLL 输出频率。
2. 要设置 PLL 以满足 PLL 要求，请执行以下步骤：
 - a) 选择 PLL 预分频比，以满足 PFD 输入频率要求 ($8 \text{ MHz} \leq \text{FPPD} \leq (\text{Fvco}/16) \text{ MHz}$)。
 - 选择 PLL 预分频比值 $N1 = 1$
 - $\text{FPLLI} = 8 \text{ MHz}$
 - $\text{FPPD} = 8 \text{ MHz}/(1/N1) = 8 \text{ MHz}(1) = 8 \text{ MHz}$
 - b) 选择反馈分频比，确保满足 VCO 输出频率要求 ($400 \text{ MHz} \leq \text{Fvco} \leq 1.6 \text{ GHz}$) 并达到所需的 Fvco 频率。
 - 选择反馈分频比值 $M = 125$
 - $\text{FVCO} = \text{FPLLI} \times (M/N1) = 8 \text{ MHz} \times (125/1) = 1 \text{ GHz}$
 - c) 选择第一个和第二个 PLL 后分频比的值，确保达到所需的 FPLLO 频率。
 - 选择第一个和第二个后分频比的值： $N2 = 5$ 和 $N3 = 1$
 - $\text{FPLLO} = \text{FVCO}/(N2 \times N3) = 1 \text{ GHz}/5 = 200 \text{ MHz}$
 - d) 配置 FNOSC<2:0> 位（FOSCSEL<2:0>），确保选择在上电复位时使用不带 PLL 的时钟源（例如，内部 FRC 振荡器）。
 - e) 在主程序中，将 PLL 预分频比、PLL 后分频比和 PLL 反馈分频比的值更改为在之前步骤中刚确定的值，然后将时钟切换到 PLL 模式。

例 8-2 给出了 PLL 与 8 MHz 内部 FRC 振荡器配合使用的代码。（另外，有关时钟切换的示例代码，请参见第 13.0 节“时钟切换”。）

例 8-2: PLL 与 8 MHz 内部 FRC 配合使用的代码示例

```
//code example for 50 MIPS system clock using 8MHz FRC

// Select Internal FRC at POR
_FOSCSEL(FNOSC_FRC & IESO_OFF);

// Enable Clock Switching
_FOSC(FCKSM_CSECMD);

int main()
{
    // Configure PLL prescaler, both PLL postscalers, and PLL feedback divider
    CLKDIVbits.PLLPRE = 1;           // N1=1
    PLLFBDbits.PLLFBDIV = 125;      // M = 125
    PLLDIVbits.POST1DIV = 5;        // N2=5
    PLLDIVbits.POST2DIV = 1;        // N3=1

    // Initiate Clock Switch to Primary Oscillator with PLL (NOSC=0b011)
    __builtin_write_OSCCONH(0x01);
    __builtin_write_OSCCONL(OSCCON | 0x01);

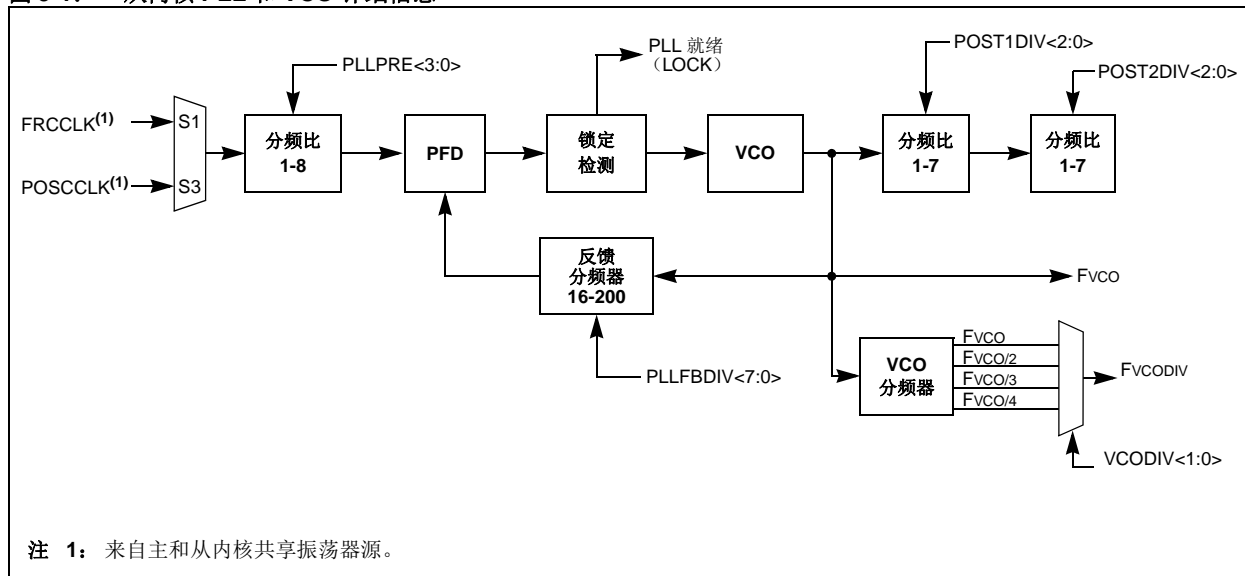
    // Wait for Clock switch to occur
    while (OSCCONbits.OSWEN != 0);

    // Wait for PLL to lock
    while (OSCCONbits.LOCK != 1);
}
```

9.0 从内核锁相环 (PLL)

主振荡器和内部 FRC 振荡器源可选择使用片上 PLL 来获取更高的工作速度。图 9-1 给出了 PLL 模块的框图。

图 9-1: 从内核 PLL 和 VCO 详细信息



为了让 PLL 工作，必须始终毫无例外地满足以下要求：

- PLL 输入频率 (F_{PLLI}) 必须介于 8 MHz 到 64 MHz 之间
- PFD 输入频率 (F_{PFD}) 必须介于 8 MHz 到 (F_{VCO}/16) MHz 之间
- VCO 输出频率 (F_{VCO}) 必须介于 400 MHz 到 1600 MHz 之间

时钟分频比寄存器中的 PLL 相位检测器输入分频比选择位 (PLLPRE<3:0>) (CLKDIV<3:0>) 用于指定输入分频比 (N1)，该分频比用来调低输入时钟 (F_{PLLI})，以满足 8 MHz 到 (F_{VCO}/16) MHz 的 PFD 输入频率范围。

PLL 反馈分频比寄存器中的 PLL 反馈分频比位 (PLLFBDIV<7:0>) (PLLFB<7:0>) 用于指定分频比 (M)，以便调低输入到 PFD 的反馈的 VCO 频率 (F_{VCO})。VCO 频率 (F_{VCO}) 等于“M”乘以 PFD 输入频率 (F_{PFD})。

有两个通过 POST1DIV<2:0> 和 POST2DIV<2:0> 选择位配置的 PLL VCO 输出分频比。这些位位于 PLL 输出分频比寄存器中 (PLLDIV<6:4> 和 PLLDIV<2:0>)，用于指定限制 PLL 输出频率 (F_{PLLO}) 的分频比 (N2 和 N3)。F_{PLLO} 在用作从内核系统时钟时不能超过 480 MHz (120 MIPS)。

公式 9-1 给出了 PLL 输入频率 (F_{PLLI}) 和 VCO 输出频率 (F_{VCO}) 之间的关系。

公式 9-1: 从内核 F_{VCO} 计算

$$F_{VCO} = F_{PLLI} \times \left(\frac{M}{N1}\right) = F_{PLLI} \times \left(\frac{PLLFBDIV<7:0>}{PLLPRE<3:0>}\right)$$

公式 9-2 给出了 PLL 输入频率（F_{PLLI}）和 PLL 输出频率（F_{PLO}）之间的关系。

公式 9-2: 从内核 F_{PLO} 计算

$$F_{PLO} = F_{PLLI} \times \left(\frac{M}{N1 \times N2 \times N3} \right) = F_{PLLI} \times \left(\frac{PLLFBDIV\langle 7:0 \rangle}{PLLPRE\langle 3:0 \rangle \times POST1DIV\langle 2:0 \rangle \times POST2DIV\langle 2:0 \rangle} \right)$$

其中:

$$M = PLLFBDIV\langle 7:0 \rangle$$

$$N1 = PLLPRE\langle 3:0 \rangle$$

$$N2 = POST1DIV\langle 2:0 \rangle$$

$$N3 = POST2DIV\langle 2:0 \rangle$$

9.1 PLL 模式在启动时的输入时钟限制

表 9-1 给出了上电复位时 PLL 预分频比、PLL 后分频比和 PLL 反馈分频比位的默认值。

表 9-1: 从内核 PLL 模式默认值

寄存器	位域	上电复位时的值	PLL 分频比
CLKDIV<3:0>	PLLPRE<3:0>	0001	N1 = 1
PLLDIV<6:4>	POST1DIV<2:0>	100	N2 = 4
PLLDIV<2:0>	POST2DIV<2:0>	001	N3 = 1
PLLFB<7:0>	PLLFBDIV<7:0>	10010110	M = 150

基于这些复位值，以下公式给出了上电复位时 PLL 输入频率（F_{PLLI}）、PFD 输入频率（F_{PF}）、VCO 输出频率（F_{VCO}）和系统时钟频率（F_{OSC}）之间的关系。

公式 9-3: 上电复位时的从内核 F_{VCO}

$$F_{VCO} = F_{PLLI} \left(\frac{M}{N1} \right) = F_{PLLI} \left(\frac{150}{1} \right) = 150 F_{PLLI}$$

公式 9-4: 上电复位时的从内核 F_{PLO}

$$F_{PLO} = F_{PLLI} \left(\frac{M}{N1 \times N2 \times N3} \right) = F_{PLLI} \left(\frac{150}{1 \times 4 \times 1} \right) = 37.5 F_{PLLI}$$

带高速 PLL 的振荡器模块

要使用具有非默认设置的 PLL 并确保满足所有 PLL 要求，请遵循以下过程：

1. 器件上电时使用不带 PLL 的内部 FRC 或主振荡器。
2. 基于输入频率，更改 PLLFBDIV_x、PLLPRE_x、POST1DIV_x 和 POST2DIV_x 位的值，确保满足以下 PLL 要求：
 - PLL 输入频率（F_{PLLI}）必须介于 8 MHz 到 64 MHz 之间
 - PFD 输入频率（F_{PPFD}）必须介于 8 MHz 到 (F_{VCO}/16) MHz 之间
 - VCO 输出频率（F_{VCO}）必须介于 400 MHz 到 1600 MHz 之间
3. 在软件中将时钟切换到 PLL 模式。

注： 在 PLL 模式下工作时，不应更改 PLL 相位检测器输入分频比选择位（PLLPRE_x）和 PLL 反馈分频比位（PLLFBDIV_x）。因此，用户必须以非 PLL 模式启动或者将时钟切换到非 PLL 模式（例如，内部 FRC 振荡器），做出必要的更改后再将时钟切换到所需的 PLL 模式。

不允许将时钟从一个 PLL 时钟源直接切换到另一个 PLL 时钟源。用户需要通过将时钟切换到非 PLL 时钟源来进行 PLL 时钟源之间的切换。

9.2 PLL 锁定状态

只要更改了 PLL 输入频率、PLL 预分频比或 PLL 反馈分频比，PLL 都需要一段时间（TLOCK）同步到新设置。

在上电复位时或时钟切换操作期间选择 PLL 作为时钟源时，将应用 TLOCK。TLOCK 是相对于时钟可用于 PLL 输入的时间点的时间值。例如，对于 POSC，TLOCK 在 OST 延时后开始。有关振荡器起振延时的更多信息，请参见第 5.1 节“振荡器起振时间”。另外，有关典型 TLOCK 值的更多信息，请参见具体器件数据手册中的“振荡器配置”章节。

振荡器控制寄存器中的 LOCK 位（OSCCON<5>）为只读状态位，用于指示 PLL 的锁定状态。LOCK 位在上电复位时以及选择 PLL 作为目标时钟源的时钟切换操作期间被清零。在选择了任何不使用 PLL 的时钟源时，它将保持清零。建议在使能 PLL 的时钟切换事件之后等待 LOCK 位置 1，然后再执行其他代码。

注： 在 PLL 模式下工作时，不应更改 PLL 相位检测器输入分频比选择位（PLLPREx）和 PLL 反馈分频比位（PLLFBDIVx）。必须将时钟切换到非 PLL 模式（例如，内部 FRC 振荡器）做出必需的更改，再将时钟切换回 PLL 模式。

9.3 PLL 设置

9.3.1 PLL 与主振荡器（POSC）配合使用的设置

以下过程用于设置 PLL，以使器件通过 10 MHz 的外部晶振以 60 MIPS 的速率工作：

1. 为了以 60 MHz 频率执行指令，确保所需的系统时钟频率为：
 $F_{OSC} = 2 \times F_{CY} = 120 \text{ MHz}$ 。
2. 为设置 PLL 以满足 PLL 要求，请执行以下步骤：
 - a) 选择 PLL 预分频比，确保满足 PFD 输入频率要求（ $8 \text{ MHz} \leq F_{PFD} \leq (F_{VCO}/16) \text{ MHz}$ ）。
 - 选择 PLL 预分频比值 $N1 = 1$
 - $F_{PLLI} = 10 \text{ MHz}$
 - $F_{PFD} = 10 \text{ MHz} (1/N1) = 10 \text{ MHz}(1) = 10 \text{ MHz}$
 - b) 选择反馈分频比，确保满足 VCO 输出频率要求（ $400 \text{ MHz} \leq F_{VCO} \leq 1.6 \text{ GHz}$ ）并达到所需的 F_{VCO} 频率。
 - 选择反馈分频比值 $M = 120$
 - $F_{VCO} = F_{PLLI} \times (M/N1) = 10 \text{ MHz} \times (120/1) = 1.2 \text{ GHz}$
 - c) 选择第一个和第二个 PLL 后分频比的值，确保达到所需的 F_{PLLO} 频率。
 - 选择第一个和第二个后分频比的值： $N2 = 5$ 和 $N3 = 1$
 - $F_{PLLO} = F_{VCO}/(N2 \times N3) = 1.2 \text{ GHz}/5 = 240 \text{ MHz}$
 - d) 配置 $FNOSC<2:0>$ 位（ $FOSCSEL<2:0>$ ），确保选择在上电复位时使用不带 PLL 的时钟源（例如，内部 FRC 振荡器）。
 - e) 在主程序中，将 PLL 预分频比、PLL 后分频比和 PLL 反馈分频比的值更改为在之前步骤中刚确定的值，然后将时钟切换到 PLL 模式。

例 9-1 给出了 PLL 与主振荡器配合使用的代码。（另外，有关时钟切换的示例代码，请参见第 13.0 节“时钟切换”。）

例 9-1: PLL 与主振荡器 (POSC) 配合使用的代码示例

```
//code example for 60 MIPS system clock using POSC with 10 MHz external crystal
// Select Internal FRC at POR
_FS1OSCSEL(S1FNOSC_FRC & S1IESO_OFF);

// Enable Clock Switching
_FS1OSC(S1FCKSM_CSECMD);

//Configure POSC in XT mode in Master core FOSC configuration register
_FOSC(POSCMD_XT);

int main()
{
    // Configure PLL prescaler, both PLL postscalers, and PLL feedback divider
    CLKDIVbits.PLLPRE = 1;           // N1=1
    PLLFBDbits.PLLFBDIV = 120;      // M = 120
    PLLDIVbits.POST1DIV = 5;        // N2=5
    PLLDIVbits.POST2DIV = 1;        // N3=1

    // Initiate Clock Switch to Primary Oscillator with PLL (NOSC=0b011)
    __builtin_write_OSCCONH(0x03);
    __builtin_write_OSCCONL(OSCCON | 0x01);

    // Wait for Clock switch to occur
    while (OSCCONbits.OSWEN != 0);

    // Wait for PLL to lock
    while (OSCCONbits.LOCK!= 1);
}
```

9.3.2 PLL 与 8 MHz 内部 FRC 配合使用的设置

以下过程用于设置 PLL，以使器件通过 8 MHz 的内部 FRC 振荡器以 60 MIPS 的速率工作：

1. 为了以 60 MHz 的频率执行指令，需要有 240 MHz 的 PLL 输出频率。
2. 要设置 PLL 以满足 PLL 要求，请执行以下步骤：
 - a) 选择 PLL 预分频比，确保满足 PFD 输入频率要求 ($8 \text{ MHz} \leq \text{FPPD} \leq (\text{FVCO}/16) \text{ MHz}$)。
 - 选择 PLL 预分频比值 $N1 = 1$
 - $\text{FPLLI} = 8 \text{ MHz}$
 - $\text{FPPD} = 8 \text{ MHz} (1/N1) = 8 \text{ MHz}(1) = 8 \text{ MHz}$
 - b) 选择反馈分频比，确保满足 VCO 输出频率要求 ($400 \text{ MHz} \leq \text{FVCO} \leq 1.6 \text{ GHz}$) 并达到所需的 FVCO 频率。
 - 选择反馈分频比值 $M = 150$
 - $\text{FVCO} = \text{FPLLI} \times (M/N1) = 8 \text{ MHz} \times (150/1) = 1.2 \text{ GHz}$
 - c) 选择第一个和第二个后分频比的值，确保达到所需的 FPLLO 频率。
 - 选择第一个和第二个后分频比的值： $N2 = 5$ 和 $N3 = 1$
 - $\text{FPLLO} = \text{FVCO}/(N2 \times N3) = 1.2 \text{ GHz}/5 = 240 \text{ MHz}$
 - d) 配置 $\text{FNOSC}\langle 2:0 \rangle$ 位 ($\text{FOSCSEL}\langle 2:0 \rangle$)，确保选择在上电复位时使用不带 PLL 的时钟源（例如，内部 FRC 振荡器）。
 - e) 在主程序中，将 PLL 预分频比、PLL 后分频比和 PLL 反馈分频比更改为在之前步骤中刚确定的值，然后将时钟切换到 PLL 模式。

例 9-2 给出了 PLL 与 8 MHz 内部 FRC 振荡器配合使用的代码。（另外，有关时钟切换的示例代码，请参见第 13.0 节“时钟切换”。）

例 9-2: PLL 与 8 MHz 内部 FRC 配合使用的代码示例

```
//code example for 60 MIPS system clock using 8MHz FRC

// Select Internal FRC at POR
_FS1OSCSEL(S1FNOSC_FRC & S1IESO_OFF);

// Enable Clock Switching
_FS1OSC(S1FCKSM_CSECMD);

int main()
{
    // Configure PLL prescaler, both PLL postscalers, and PLL feedback divider
    CLKDIVbits.PLLPRE = 1;           // N1=1
    PLLFBDbits.PLLFBDIV = 150;      // M = 150
    PLLDIVbits.POST1DIV = 5;        // N2=5
    PLLDIVbits.POST2DIV = 1;        // N3=1

    // Initiate Clock Switch to Primary Oscillator with PLL (NOSC=0b011)
    __builtin_write_OSCCONH(0x01);
    __builtin_write_OSCCONL(OSCCON | 0x01);

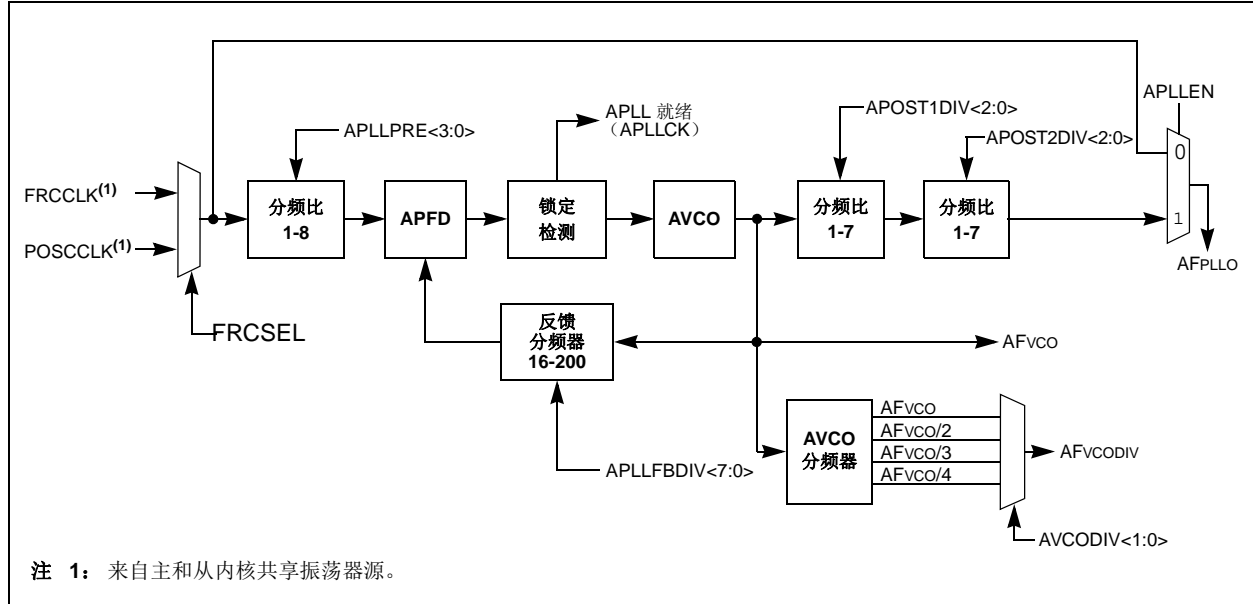
    // Wait for Clock switch to occur
    while (OSCCONbits.OSWEN != 0);

    // Wait for PLL to lock
    while (OSCCONbits.LOCK!= 1);
}
```

10.0 主内核附属锁相环 (APLL)

dsPIC33/PIC24 器件系列为每个内核实现了一个附属 PLL 模块。附属 PLL 用来生成独立于系统时钟的各种外设时钟源。图 10-1 给出了主内核 APLL 模块的框图。

图 10-1: 主内核 APLL 和 VCO 详细信息



为了让 APLL 工作，必须始终毫无例外地满足以下要求：

- APLL 输入频率 (AFPLLI) 必须介于 8 MHz 到 64 MHz 之间
- APFD 输入频率 (AFPPFD) 必须介于 8 MHz 到 (AFVCO/16) MHz 之间。
- AVCO 输出频率 (AFVCO) 必须介于 400 MHz 到 1600 MHz 之间

附属时钟控制寄存器中的 APLL 相位检测器输入分频比选择位 (APLLPRE<3:0>) (ACLKCON1<3:0>) 用于指定输入分频比 (N1)，以便调低输入时钟 (AFPLLI)，确保 APFD 输入频率介于 8MHz 到 (AFVCO/16) MHz 之间。

APLL 反馈分频比寄存器中的 APLL 反馈分频比位 (APLLFBDIV<7:0>) (APLLFBD1<7:0>) 用于指定分频比 (M)，以便调低输入到 APFD 的反馈的 AVCO 频率 (AFVCO)。AVCO 输出频率 (AFVCO) 等于 “M” 乘以 APFD 输入频率 (AFPPFD)。

有两个通过 APOST1DIV<2:0> 和 APOST2DIV<2:0> 选择位配置的 PLL VCO 输出分频比。这些位位于 APLL 输出分频比寄存器中 (APLLDIV1<6:4> 和 APLLDIV1<2:0>)，用于指定限制 APLL 输出频率 (AFPLLO) 的分频比 (N2 和 N3)。

公式 10-1 给出了 APLL 输入频率 (AFPLLI) 和 AVCO 输出频率 (AFVCO) 之间的关系。

公式 10-1: 主内核 AFVCO 计算

$$AFVCO = AFPLLI \times \left(\frac{M}{N1}\right) = AFPLLI \times \left(\frac{APLLFBDIV<7:0>}{APLLPRE<3:0>}\right)$$

公式 10-2 给出了 APLL 输入频率 (AFPLLI) 和 APLL 输出频率 (AFPLLO) 之间的关系。

公式 10-2: 主内核 AFPLLO 计算

$$AFPLLO = AFPLLI \times \left(\frac{M}{N1 \times N2 \times N3} \right) = AFPLLI \times \left(\frac{APLLFBDIV\langle 7:0 \rangle}{APLLPRE\langle 3:0 \rangle \times APOST1DIV\langle 2:0 \rangle \times APOST2DIV\langle 2:0 \rangle} \right)$$

其中:

$$M = APLLFBDIV\langle 7:0 \rangle$$

$$N1 = APLLPRE\langle 3:0 \rangle$$

$$N2 = APOST1DIV\langle 2:0 \rangle$$

$$N3 = APOST2DIV\langle 2:0 \rangle$$

10.1 APLL 设置

10.1.1 APLL 与 8 MHz 内部 FRC 振荡器配合使用的设置

1. 将 FRCSEL 位置 1, 以便选择内部 FRC 振荡器作为 APLL 的时钟源。
2. 要设置 APLL 以满足 APLL 要求, 请执行以下步骤:
 - a) 选择 APLL 预分频比, 确保满足 APFD 输入频率要求 ($8 \text{ MHz} \leq AF_{PFDD} \leq (AF_{VCO}/16) \text{ MHz}$)。
 - 选择 APLL 预分频比值 $N1 = 1$
 - $AF_{PLLI} = 8 \text{ MHz}$
 - $AF_{PFDD} = 8 \text{ MHz} (1/N1) = 8 \text{ MHz}(1) = 8 \text{ MHz}$
 - b) 选择反馈分频比, 确保满足 AVCO 输出频率要求 ($400 \text{ MHz} \leq AF_{VCO} \leq 1.6 \text{ GHz}$) 并达到所需的 AF_{VCO} 频率。
 - 选择反馈分频比值 $M = 125$
 - $AF_{VCO} = AF_{PLLI} \times (M/N1) = 8 \text{ MHz} \times (125/1) = 1 \text{ GHz}$
 - c) 基于 AF_{VCO} 频率, 选择第一个和第二个后分频比的值, 确保达到所需的 AF_{PLLO} 频率。
 - 选择第一个和第二个后分频比的值, $N2 = 2$ 和 $N3 = 1$
 - $AF_{PLLO} = AF_{VCO}/(N2 \times N3) = 1 \text{ GHz}/2 = 500 \text{ MHz}$
3. 通过将 APLEN 位置 1, 使能 APLL 后分频比输出并禁止 APLL 参考旁路输出。

例 10-1 给出了 APLL 与内部 FRC 振荡器配合使用的代码。

例 10-1: APLL 与内部 FRC 振荡器配合使用的代码示例

```
//code example for AFVCO = 1 GHz and APLLO = 500 MHz using 8 MHz internal FRC

// Configure the source clock for the APLL
ACLKCON1bits.FRCSEL = 1;           // Select internal FRC as the clock source

// Configure the APLL prescaler, APLL feedback divider, and both APLL postscalers.
ACLKCON1bits.APLLPRE = 1;         // N1 = 1
APLLFBD1bits.APLLFBDIV = 125;    // M = 125
APLLDIV1bits.APOST1DIV = 2;      // N2 = 2
APLLDIV1bits.APOST2DIV = 1;      // N3 = 1

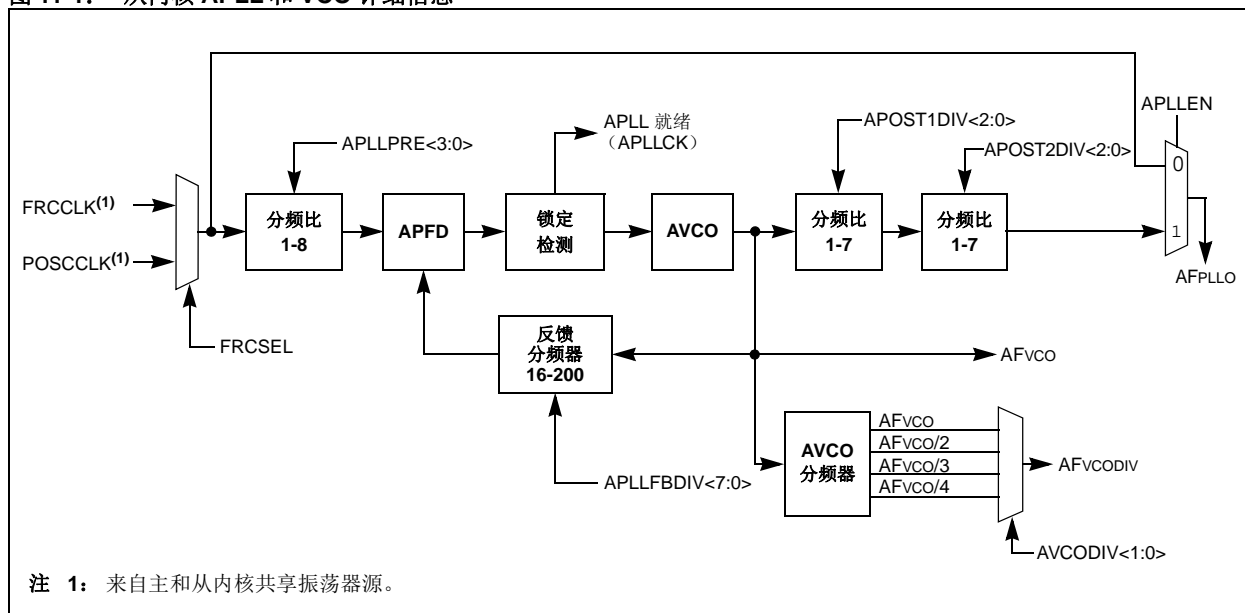
// Enable APLL
ACLKCON1bits.APLEN = 1;
```

注: 即使 APLEN 位已置 1, 另一个外设也必须产生时钟请求, 然后 APLL 才能启动。

11.0 从内核附属锁相环 (APLL)

dsPIC33/PIC24 器件系列为每个内核实现了一个附属 PLL 模块。附属 PLL 用来生成独立于系统时钟的各种外设时钟源。图 11-1 给出了从内核 APLL 模块的框图。

图 11-1: 从内核 APLL 和 VCO 详细信息



注 1: 来自主和从内核共享振荡器源。

为了让 APLL 工作，必须始终毫无例外地满足以下要求：

- APLL 输入频率 (AFPLLI) 必须介于 8 MHz 到 64 MHz 之间
- APFD 输入频率 (AFpFD) 必须介于 8 MHz 到 (AFVCO/16) MHz 之间。
- AVCO 输出频率 (AFVCO) 必须介于 400 MHz 到 1600 MHz 之间

附属时钟控制寄存器中的 APLL 相位检测器输入分频比选择位 (APLLPRE<3:0>) (ACLKCON1<3:0>) 用于指定输入分频比 (N1)，以便调低输入时钟 (AFPLLI)，确保 APFD 输入频率介于 8 MHz 到 (AFVCO/16) MHz 之间。

APLL 反馈分频比寄存器中的 APLL 反馈分频比位 (APLLFBDIV<7:0>) (APLLFBD1<7:0>) 用于指定分频比 (M)，以便调低输入到 APFD 的反馈的 AVCO 频率 (AFVCO)。AVCO 输出频率 (AFVCO) 等于 “M” 乘以 APFD 输入频率 (AFpFD)。

有两个通过 APOST1DIV<2:0> 和 APOST2DIV<2:0> 选择位配置的 PLL VCO 输出分频比。这些位位于 APLL 输出分频比寄存器中 (APLLDIV1<6:4> 和 APLLDIV1<2:0>)，用于指定限制 APLL 输出频率 (AFPLLO) 的分频比 (N2 和 N3)。

公式 11-1 给出了 APLL 输入频率 (AFPLLI) 和 AVCO 输出频率 (AFVCO) 之间的关系。

公式 11-1: 从内核 AFVCO 计算

$$AFVCO = AFPLLI \times \left(\frac{M}{N1}\right) = AFPLLI \times \left(\frac{APLLFBDIV<7:0>}{APLLPRE<3:0>}\right)$$

公式 11-2 给出了 APLL 输入频率 (AFPLLI) 和 APLL 输出频率 (AFPLLO) 之间的关系。

公式 11-2: 从内核 AFPLLO 计算

$$AFPLLO = AFPLLI \times \left(\frac{M}{N1 \times N2 \times N3} \right) = AFPLLI \times \left(\frac{APLLFBDIV\langle 7:0 \rangle}{APLLPRE\langle 3:0 \rangle \times APOST1DIV\langle 2:0 \rangle \times APOST2DIV\langle 2:0 \rangle} \right)$$

其中:

$$M = APLLFB DIV\langle 7:0 \rangle$$

$$N1 = APLLPRE\langle 3:0 \rangle$$

$$N2 = APOST1DIV\langle 2:0 \rangle$$

$$N3 = APOST2DIV\langle 2:0 \rangle$$

11.1 APLL 设置

11.1.1 APLL 与 8 MHz 内部 FRC 振荡器配合使用的设置

1. 将 FRCSEL 位置 1, 以便选择内部 FRC 振荡器作为 APLL 的时钟源。
2. 要设置 APLL 以满足 APLL 要求, 请执行以下步骤:
 - a) 选择 APLL 预分频比, 确保满足 APFD 输入频率要求 ($8 \text{ MHz} \leq AF_{PFDD} \leq (AF_{VCO}/16) \text{ MHz}$)。
 - 选择 APLL 预分频比值 $N1 = 1$
 - $AF_{PLLI} = 8 \text{ MHz}$
 - $AF_{PFDD} = 8 \text{ MHz}(1/N1) = 8 \text{ MHz}(1) = 8 \text{ MHz}$
 - b) 选择反馈分频比, 以确保满足 AVCO 输出频率要求 ($400 \text{ MHz} \leq AF_{VCO} \leq 1.6 \text{ GHz}$) 并达到所需的 AFVCO 频率。
 - 选择反馈分频比值 $M = 125$
 - $AF_{VCO} = AF_{PLLI} \times (M/N1) = 8 \text{ MHz} \times (125/1) = 1 \text{ GHz}$
 - c) 选择第一个和第二个后分频比的值, 确保达到所需的 AFPLLO 频率。
 - 选择第一个和第二个后分频比的值, $N2 = 2$ 和 $N3 = 1$
 - $AF_{PLLO} = AF_{VCO}/(N2 \times N3) = 1 \text{ GHz}/2 = 500 \text{ MHz}$
3. 通过将 APLEN 位置 1, 使能 APLL 后分频比输出并禁止 APLL 参考旁路输出。

例 11-1 给出了 APLL 与内部 FRC 振荡器配合使用的代码。

例 11-1: APLL 与内部 FRC 振荡器配合使用的代码示例

```
//code example for AFVCO = 1 GHz and APLLO = 500 MHz using 8 MHz internal FRC

// Configure the source clock for the APLL
ACLKCON1bits.FRCSEL = 1; // Select internal FRC as the clock source

// Configure the APLL prescaler, APLL feedback divider, and both APLL postscalers.
ACLKCON1bits.APLLPRE = 1; // N1 = 1
APLLFBD1bits.APLLFB DIV = 125; // M = 125
APLLDIV1bits.APOST1DIV = 2; // N2 = 2
APLLDIV1bits.APOST2DIV = 1; // N3 = 1

// Enable APLL
ACLKCON1bits.APLEN = 1;
```

注: 即使 APLEN 位已置 1, 另一个外设也必须产生时钟请求, 然后 APLL 才能启动。

12.0 故障保护时钟监视器 (FSCM)

dsPIC33/PIC24 器件系列为每个内核都实现了故障保护时钟监视 (FSCM) 功能。有了故障保护时钟监视器 (FSCM)，即使出现了振荡器故障，器件仍将能继续工作。通过在器件编程时对主或从内核振荡器配置寄存器中的时钟切换模式配置位 (FCKSM<1:0>) (分别为 FOSC<7:6> 和 FS1OSC<7:6>) 进行编程，可使能 FSCM 功能。对任何内核使能 FSCM (FCKSM<1:0> = 00) 时，LPRC 内部振荡器将始终运行 (休眠模式期间除外)。

FSCM 将监视系统时钟。如果它未在特定时间 (典型值为 2 ms，最大值为 4 ms) 内检测到系统时钟，它将产生时钟故障陷阱并将系统时钟切换到备用 FRC 振荡器。用户应用程序可以选择尝试重新启动振荡器或执行受控关闭。

注： 器件处于休眠模式时，如果时钟出现故障，FSCM 将不会唤醒器件。

FSCM 模块在将系统时钟切换到备用 FRC 振荡器时将执行以下操作：

- 当前振荡器选择位 COSC<2:0> (OSCCON<14:12>) 将装入 “110” (备用 FRC 振荡器)。
- 时钟故障 (CF) 检测位 (OSCCON<3>) 将置 1，以指示时钟故障。
- 振荡器切换使能 (OSWEN) 位 (OSCCON<0>) 将被清零，以取消任何待处理的时钟切换。

12.1 FSCM 延时

在系统时钟就绪且经过标称延时 (TFSCM) 后，FSCM 将监视系统时钟活动。

在使能 FSCM 且选择主振荡器作为系统时钟时，将应用 FSCM 延时 (TFSCM)。

有关更多信息，请参见《dsPIC33/PIC24 系列参考手册》中的“复位”章节 (DS39712)。有关最新文档，请访问 Microchip 网站 (www.microchip.com)。

注： 有关 TFSCM 值，请参见具体器件数据手册中的“电气特性”小节。

12.2 FSCM 和 WDT

FSCM 和 WDT 使用 LPRC 振荡器作为时基。发生时钟故障时，WDT 不受影响，将继续依靠 LPRC 运行。

13.0 时钟切换

在发生硬件事件时或者应软件请求可能会启动时钟切换。典型情况包括：

- 上电复位时的双速启动序列，最开始使用内部 FRC 振荡器进行快速启动，然后在所选时钟源时钟就绪时自动切换到所选时钟源。
- 在发生时钟故障时，故障保护时钟监视器自动切换到内部备用 FRC 振荡器。
- 用户应用软件通过将 OSWEN 位 (OSCCON<0>) 置 1 请求时钟切换，这样在由 NOSC<2:0> 位 (OSCCON<10:8>) 选择的时钟源时钟就绪时硬件将切换到所选时钟源。

在上述每种情况下，时钟切换事件都可确保执行对应的“先合后断”序列。也就是说，旧时钟关闭之前新时钟源已就绪，在时钟切换期间代码会继续执行。

应用随时可以在软件控制下在任意三个时钟源 (POSC、FRC 和 LPRC) 之间进行切换，几乎不受限制。为限制此灵活性可能造成的副作用，dsPIC33/PIC24 器件具有一个内置于时钟切换过程中的防护锁。也就是说，OSCCON 寄存器在时钟切换期间处于写保护状态。

13.1 使能时钟切换

必须对主或从内核振荡器配置寄存器中的时钟切换模式配置位 (FCKSM<1:0> 或 S1FCKSM<1:0>) (分别为 FOSC<7:6> 和 FS1OSC<7:6>) 进行编程，以便为该内核使能时钟切换和故障保护时钟监视器 (见表 13-1)。

表 13-1: 可配置时钟切换模式

FCKSM<1:0> 值	时钟切换配置	FSCM 配置
1x	禁止	禁止
01	使能	禁止
00	使能	使能

第一个位决定是使能 (0) 还是禁止 (1) 时钟切换。第二个位决定是使能 (0) 还是禁止 (1) FSCM。只有使能了时钟切换，才能使能 FSCM。如果禁止了时钟切换 (1)，则第二个位的值没有意义。

13.2 时钟切换序列

时钟切换的建议过程如下：

1. 读取 COSC<2:0> 位 (OSCCON<14:12>) 以确定当前 (如果此信息与应用相关)。
2. 执行解锁序列，以允许写入到 OSCCON 寄存器的高字节。
3. 向 NOSC<2:0> 控制位 (OSCCON<10:8>) 写入合适的值以选择新振荡器源。
4. 执行解锁序列，以允许写入 OSCCON 寄存器的低字节。
5. 将 OSWEN 位 (OSCCON<0>) 置 1，以启动振荡器切换。

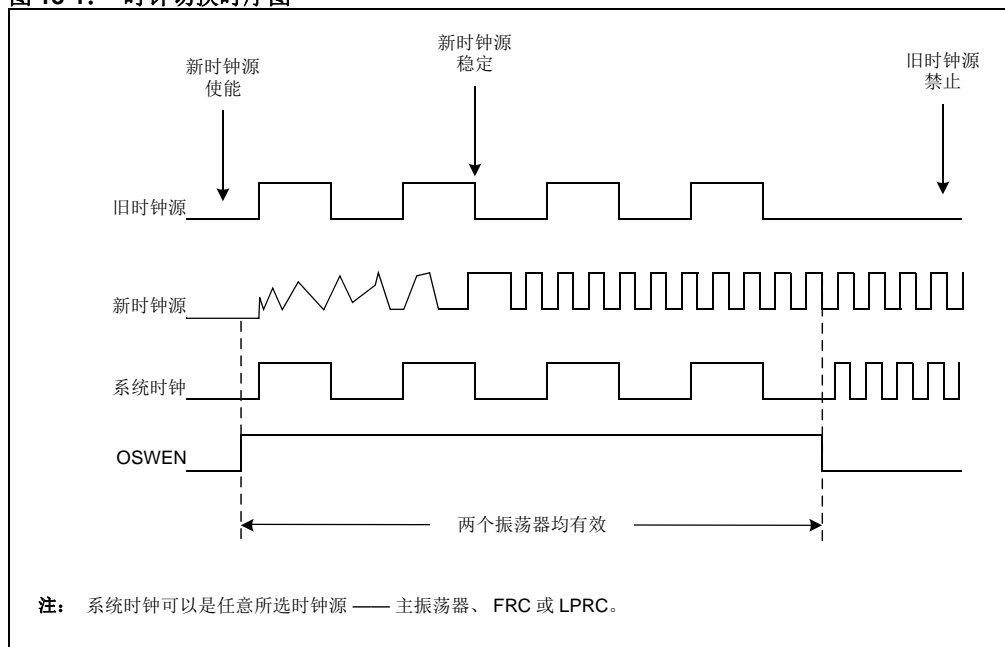
带高速 PLL 的振荡器模块

完成前几个步骤后，时钟切换逻辑将执行以下任务：

1. 时钟切换硬件比较 $COSC<2:0>$ 状态位 ($OSCCON<14:12>$) 与 $NOSC<2:0>$ 控制位 ($OSCCON<10:8>$) 的新值。如果两者一样，时钟切换将成为冗余操作。在这种情况下， $OSWEN$ 位 ($OSCCON<0>$) 将被自动清零，时钟切换被中止。
2. 如果启动了有效的时钟切换， $PLL\ LOCK$ 位 ($OSCCON<5>$) 和 CF 状态位 ($OSCCON<3>$) 将被清零。
3. 硬件将开启新的振荡器（如果未在运行）。如果必须开启晶振，硬件将等待直到晶振开始振荡 ($TOSCD$) 且 $TOST$ 结束为止。如果新振荡器源使用 PLL，硬件将等待，直至检测到 PLL 锁定 ($OSCCON<5> = 1$)。
4. 硬件将等待新时钟源稳定后执行时钟切换。
5. 硬件将 $OSWEN$ 位 ($OSCCON<0>$) 清零，以指示时钟切换成功。此外， $NOSC<2:0>$ 位 ($OSCCON<10:8>$) 的值将被传输到 $COSC<2:0>$ 状态位 ($OSCCON<14:12>$)。
6. 此时将关闭旧时钟源，LPRC 除外（如果使能了 WDT 或 FSCM）。图 13-1 给出了时钟源切换时序。

- 注 1:** XT、HS 和 EC 主振荡器模式之间的时钟切换只能通过对器件重新编程来实现。
- 2:** PLL 模式之间无法实现直接时钟切换。例如，不应在带 PLL 的主振荡器和带 PLL 的内部 FRC 振荡器之间进行时钟切换。
- 3:** 在使能时钟切换并禁止故障保护时钟监视器的情况下，将 $CLKLOCK$ 位 ($OSCCON<7>$) 置 1 可阻止时钟切换。 $CLKLOCK$ 位在被软件置 1 后将无法清零，它将在上电复位时清零。
- 4:** 处理器将在整个时钟切换序列中继续执行代码。在此期间不应执行对时序敏感的代码。
- 5:** 如果主或从内核振荡器配置寄存器中的 (S1) $PLLKEN$ 位（分别为 $FOSC<8>$ 和 $FS1OSC<8>$ ）设置为 0，则给定内核的时钟切换将不会等待 PLL 锁定。

图 13-1: 时钟切换时序图



以下步骤是时钟切换的建议代码序列：

1. OSCCON 寄存器解锁和写序列期间禁止中断。
2. 执行 OSCCON 高字节的解锁序列。
使用两条连续指令：
 - 将 0x78 写入 OSCCON<15:8>
 - 将 0x9A 写入 OSCCON<15:8>
3. 在紧解锁序列的指令中，将新振荡器源写入 NOSC<2:0> 控制位（OSCCON<10:8>）。
4. 执行 OSCCON 低字节的解锁序列。
使用两条连续指令：
 - 将 0x46 写入 OSCCON<7:0>
 - 将 0x57 写入 OSCCON<7:0>
5. 在紧解锁序列之后的指令中，将 OSWEN 位（OSCCON<0>）置 1。
6. 继续执行非时钟敏感的代码（可选）。
7. 查看 OSWEN 位是否为 0。如果是，说明已成功切换。

注： MPLAB® C30 提供了用于解锁 OSCCON 寄存器的内置 C 语言函数：

```
__builtin_write_OSCCONH(value)  
__builtin_write_OSCCONL(OSCCON | value)  
有关更多信息，请参见 MPLAB IDE 帮助文件。
```

例 13-1 给出了用于解锁 OSCCON 寄存器以及从带 PLL 的 FRC 时钟切换到 LPRC 时钟源的代码序列。

例 13-1: 时钟切换代码示例

```
;Place the New Oscillator Selection (NOSC=0b101) in W0  
MOV    #0x5, WREG  
  
;OSCCONH (high byte) Unlock Sequence  
MOV    #OSCCONH, w1  
MOV    #0x78, w2  
MOV    #0x9A, w3  
MOV.B  w2, [w1]    ;Write 0x78  
MOV.B  w3, [w1]    ;Write 0x9A  
  
;Set New Oscillator Selection  
MOV.B  w0, [w1]  
  
; Place 0x01 in W0 for setting clock switch enabled bit  
MOV    #0x01, w0  
  
;OSCCONL (low byte) Unlock Sequence  
MOV    #OSCCONL, w1  
MOV    #0x46, w2  
MOV    #0x57, w3  
MOV.B  w2, [w1]    ;Write 0x46  
MOV.B  w3, [w1]    ;Write 0x57  
  
; Enable Clock Switch  
BSET   OSCON, #0    ;Request Clock Switching by Setting OSWEN bit  
  
wait:  
    btsc  OSCCONL, #OSWEN  
    bra  wait
```

13.3 时钟切换注意事项

若要向应用中纳入时钟切换，请在设计代码时注意以下各点：

- **OSCCON** 解锁序列对时序至关重要。**OSCCON** 寄存器字节仅在此序列之后的一个指令周期内可写。有些高级语言（比如 C 语言）可能在编译后无法保留对时序敏感的序列。当使用高级语言编写的应用需要时钟切换时，最好在汇编器中创建程序后链接到应用，然后在需要它时作为函数进行调用。
- 如果目标时钟源属于晶振，则时钟切换时间将以振荡器起振时间（Oscillator Start-up Time, OST）为主。
- 如果新时钟源无法启动或不存在，则时钟切换硬件将继续从当前时钟源运行。用户软件可以检测到这种情况，因为 **OSWEN** 位（**OSCCON**<0>）无限期保持置 1。
- 如果新时钟源使用 PLL，则实现锁定之前将不会发生时钟切换。用户软件可以检测到 PLL 锁定丢失，因为 **LOCK** 位（**OSCCON**<5>）被清零且 **OSWEN** 位（**OSCCON**<0>）被置 1。
- 切换到低频率时钟源将造成低器件运行速度。

13.4 中止时钟切换

如果时钟切换未完成，可以通过将 **OSWEN** 位（**OSCCON**<0>）清零将时钟切换逻辑复位。**OSWEN** 清零时，时钟切换过程将中止，振荡器起振定时器（如适用）将停止并复位，并且 PLL（如适用）将停止。

例 13-2 给出了中止时钟切换的典型汇编代码。时钟切换过程可随时中止。已在进行中的时钟切换也可以通过执行第二个时钟切换进行中止。

例 13-2: 中止时钟切换

```
MOV    #OSCCON, W1      ; pointer to OSCCON
MOV.b  #0x46, W2        ; first unlock code
MOV.b  #0x57, W3        ; second unlock code
MOV.b  W2, [W1]         ; write first unlock code
MOV.b  W3, [W1]         ; write second unlock code
BCLR   OSCCON, #OSWEN  ; ABORT the switch
```

13.5 时钟切换期间进入休眠模式

如果器件在时钟切换操作期间进入休眠模式，时钟切换操作将中止。处理器将保持旧时钟选择，**OSWEN** 位被清零。然后，**PWRSV** 指令正常执行。

进入休眠模式之前先执行到内部 **FRC** 振荡器的时钟切换会很有用，因为这可以确保从休眠模式快速唤醒。

14.0 双速启动

主或从内核振荡器源选择寄存器中的内 / 外部启动选项配置位（IESO 和 S1IESO）（分别为 FOSCSEL<7> 和 FS1OSCSEL<7>）用于指定是要通过用户选择的振荡器源启动器件，还是最开始通过内部 FRC 振荡器启动，然后切换到用户选择的振荡器。如果此位置 1，器件将总是在上电时使用内部 FRC 振荡器，然后在指定振荡器就绪时切换到该振荡器。

双速启动选项是使器件快速启动和运行的方式，并且其工作独立于主或从内核时钟切换模式配置位 FCKSM<1:0> 和 S1FCKSM<1:0>（分别为 FOSC<7:6> 和 FS1OSC<7:6>）的状态。

如果主或从内核 FNOSC<2:0> 和 S1FNOSC<2:0> 配置位（分别为 FOSCSEL<2:0> 和 FS1OSCSEL<2:0>）选择了具有长起振延时的外部振荡器，双速启动将很有用。作为内部 RC 振荡器，FRC 时钟源在上电复位后立即可用。使用双速启动时，器件将通过默认振荡器配置（FRC）开始执行代码。它将继续在此模式下工作，直至指定的外部振荡器源变得稳定为止；此时它将切换到该振荡器源。

用户代码可通过对照 NOSC<2:0> 位（OSCCON<10:8>）检查主或从内核 COSC<2:0> 位（OSCCON<14:12>）的状态，检查当前哪个时钟源正在为给定内核提供时钟。如果这两组位相互匹配，说明已成功完成时钟切换，器件正在从新指定的时钟源运行。

注： 如果所选器件时钟源为 FRC，则不必使用双速启动。

15.0 参考时钟输出

dsPIC33/PIC24 器件系列为实现的每个内核提供参考时钟输出。参考时钟输出向任何可重映射引脚（RPn）提供时钟信号。

主或从内核参考时钟控制低位字寄存器中的 ROSEL<3:0> 位（REFOCONL<3:0>）用于为给定内核选择用于参考时钟输出的时钟源。

主或从内核参考时钟控制高位字寄存器中的 RODIV<14:0> 位（REFOCONH<14:0>）用于为给定内核配置参考时钟输出分频比。

图 1-1 给出了参考时钟的框图。有关与参考时钟输出相关的位，请参见主或从内核 REFOCONL/H 寄存器（分别为寄存器 4-10、寄存器 4-11、寄存器 4-19 和寄存器 4-20）。有关外设重映射的更多信息，请参见具体器件的数据手册。

16.0 寄存器映射

表 16-1 和表 16-2 给出了用于控制带高速 PLL 振荡器模块的特殊功能寄存器的位功能映射。表 16-3 和表 16-4 给出了振荡器配置寄存器的位功能映射。

表 16-1: 主内核振荡器控制特殊功能寄存器

寄存器名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的值
OSCCON	—	COSC<2:0>			—	NOSC<2:0>			CLKLOCK	—	LOCK	—	CF	—	—	OSWEN	7700 ⁽¹⁾
CLKDIV	ROI	DOZE<2:0>			DOZEN	FRCDIV<2:0>			—	—	r ⁽²⁾	r ⁽²⁾	PLLPRE<3:0>			3001	
PLLFBD	—	—	—	—	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	PLLFBDIV<7:0>								0096
PLLDIV	—	—	—	—	—	—	VCODIV<1:0>		—	POST1DIV<2:0>		—	POST2DIV<2:0>			0031	
OSCTUN	—	—	—	—	—	—	—	—	—	TUN<5:0>						0000	
ACLKCON1	APLLEN	APLLCK	—	—	—	—	—	FRCSEL	—	—	r ⁽²⁾	r ⁽²⁾	APLLPRE<3:0>			0001	
APLLFBD1	—	—	—	—	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	APLLFBDIV<7:0>								0096
APLLDIV1	—	—	—	—	—	—	AVCODIV<1:0>		—	APOST1DIV<2:0>		—	APOST2DIV<2:0>			0031	
CANCLKCON	CANCLKEN	—	—	—	CANCLKSEL<3:0>				—	CANCLKDIV<6:0>						0001	
REFOCONL	ROEN	—	ROSIDL	ROOUT	ROSLP	—	ROSWEN	ROACTIV	—	—	—	—	ROSEL<3:0>			0000	
REFOCONH	—	RODIV<14:0>														0000	

图注: — = 未实现, 读为 0; r = 保留位, 读为 0。复位值用十六进制表示。

注 1: 主内核 OSCCON 寄存器的复位值取决于 FOSCSEL 配置位和复位类型。

2: 位被保留, 读为 0。

表 16-2: 从内核振荡器控制特殊功能寄存器

寄存器名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的值
OSCCON	—	COSC<2:0>			—	NOSC<2:0>			CLKLOCK	—	LOCK	—	CF	—	—	OSWEN	7700 ⁽¹⁾
CLKDIV	ROI	DOZE<2:0>			DOZEN	FRCDIV<2:0>			—	—	r ⁽²⁾	r ⁽²⁾	PLLPRE<3:0>			3001	
PLLFBD	—	—	—	—	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	PLLFBDIV<7:0>								0096
PLLDIV	—	—	—	—	—	—	VCODIV<1:0>		—	POST1DIV<2:0>		—	POST2DIV<2:0>			0031	
ACLKCON1	APLLEN	APLLCK	—	—	—	—	—	FRCSEL	—	—	r ⁽²⁾	r ⁽²⁾	APLLPRE<3:0>			0001	
APLLFBD1	—	—	—	—	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	r ⁽²⁾	APLLFBDIV<7:0>								0096
APLLDIV1	—	—	—	—	—	—	AVCODIV<1:0>		—	APOST1DIV<2:0>		—	APOST2DIV<2:0>			0031	
REFOCONL	ROEN	—	ROSIDL	ROOUT	ROSLP	—	ROSWEN	ROACTIV	—	—	—	—	ROSEL<3:0>			0000	
REFOCONH	—	RODIV<14:0>														0000	

图注: — = 未实现, 读为 0; r = 保留位, 读为 0。复位值用十六进制表示。

注 1: 从内核 OSCCON 寄存器的复位值取决于 FS1OSCSEL 配置位和复位类型。

2: 位被保留, 读为 0。

表 16-3: 主内核振荡器配置寄存器

寄存器名称	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的值	
FOSCSEL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IESO	—	—	—	—	FNOSC<2:0>			0xFFFFFFFF	
FOSC	—	—	—	—	—	—	—	—	—	—	—	XTBST	XTCFG<1:0>		—	PLLKEN	FCKSM<1:0>			—	—	—	OSCIOfNC	POSCMD<1:0>		0xFFFFFFFF

图注: — = 未实现, 读为 1。复位值用十六进制表示。

表 16-4: 从内核振荡器配置寄存器

寄存器名称	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的值	
FS1OSCSEL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S1IESO	—	—	—	—	S1FNOSC2:0>			0xFFFFFFFF	
FS1OSC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S1PLLKEN	S1FCKSM<1:0>			—	—	—	S1OSCIOfNC	—	—	0xFFFFFFFF

图注: — = 未实现, 读为 1。复位值用十六进制表示。

17.0 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 dsPIC33/PIC24 产品系列而编写的，但概念是相近的，适当修改后且在一定的限制条件下可以使用。与带高速 PLL 的振荡器模块相关的最新应用笔记包括：

标题	应用笔记编号
PICmicro [®] Microcontroller Oscillator Design Guide	AN588
Low-Power Design Using PICmicro [®] Microcontrollers	AN606
Crystal Oscillator Basics and Crystal Selection for rfPIC [®] and PICmicro [®] Devices	AN826

注： 有关 dsPIC33/PIC24 系列器件的更多应用笔记和代码示例，请访问 Microchip 网站 (www.microchip.com)。

18.0 版本历史

版本 A（2016 年 4 月）

这是本文档的初始版本。

版本 B（2017 年 7 月）

该版本包括以下更新：

- 章节：
 - 以下小节中更新了外部时钟源工作（EC 模式）：[第 5.0 节“主振荡器（POSC）”](#)、[第 5.2 节“主振荡器引脚功能”](#)、[第 6.0 节“内部快速 RC（FRC）振荡器”](#)、[第 7.1 节“用作系统时钟的 LPRC 振荡器”](#)、[第 8.0 节“主内核锁相环（PLL）”](#)、[第 8.3 节“PLL 设置”](#)、[第 8.3.2 节“PLL 与 8 MHz 内部 FRC 配合使用的设置”](#)、[第 9.0 节“从内核锁相环（PLL）”](#)、[第 9.3.1 节“PLL 与主振荡器（POSC）配合使用的设置”](#)、[第 9.3.2 节“PLL 与 8 MHz 内部 FRC 配合使用的设置”](#)、[第 10.0 节“主内核附属锁相环（APLL）”](#)、[第 10.1.1 节“APLL 与 8 MHz 内部 FRC 振荡器配合使用的设置”](#)、[第 11.0 节“从内核附属锁相环（APLL）”](#)、[第 11.1.1 节“APLL 与 8 MHz 内部 FRC 振荡器配合使用的设置”](#)、[第 12.0 节“故障保护时钟监视器（FSCM）”](#)、[第 13.0 节“时钟切换”](#)和[第 14.0 节“双速启动”](#)。
- 图：
 - 更新了图 1-2、图 1-3、图 5-4、图 8-1、图 9-1、图 10-1 和图 11-1。
- 寄存器：
 - 更新了寄存器 3-2、寄存器 3-3、寄存器 3-4、寄存器 4-3、寄存器 4-5、寄存器 4-7、寄存器 4-8、寄存器 4-9、寄存器 4-10、寄存器 4-14、寄存器 4-15、寄存器 4-17、寄存器 4-18 和寄存器 4-19。
- 表：
 - 更新了表 3-2、表 5-1、表 5-2、表 6-1、表 8-1、表 9-1、表 16-2、表 16-3 和表 16-4。
- 公式：
 - 更新了公式 8-2、公式 8-4、公式 9-2、公式 9-4、公式 10-2 和公式 11-2。
- 示例：
 - 更新了例 8-1、例 8-2、例 9-1、例 9-2、例 10-1 和例 11-1。

对整篇文档的文字和格式还进行了一些小的更新。

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC[®] MCU 与 dsPIC[®] DSC, KeeLoq[®] 跳码器件、串行 EEPROM、单片机外设、非易失性存储器 and 模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
= ISO/TS 16949 =**

商标

Microchip 的名称和徽标组合、Microchip 徽标、AnyRate、AVR、AVR 徽标、AVR Freaks、BitCloud、chipKIT、chipKIT 徽标、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、Prochip Designer、QTouch、SAM-BA、SpyNIC、SST、SST 徽标、SuperFlash、tinyAVR、UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet 徽标、memBrain、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2018, Microchip Technology Inc. 版权所有。

ISBN: 978-1-5224-3399-6



全球销售及及服务网点

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://www.microchip.com/support>

网址: www.microchip.com

亚特兰大 **Atlanta** Duluth, GA

Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 **Austin, TX** Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 **Australia - Sydney**
Tel: 61-2-9868-6733

印度 **India - Bangalore**
Tel: 91-80-3090-4444

印度 **India - New Delhi**
Tel: 91-11-4160-8631

印度 **India - Pune**
Tel: 91-20-4121-0141

日本 **Japan - Osaka**
Tel: 81-6-6152-7160

日本 **Japan - Tokyo**
Tel: 81-3-6880-3770

韩国 **Korea - Daegu**
Tel: 82-53-744-4301

韩国 **Korea - Seoul**
Tel: 82-2-554-7200

马来西亚
Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 **Malaysia - Penang**
Tel: 60-4-227-8870

菲律宾 **Philippines - Manila**
Tel: 63-2-634-9065

新加坡 **Singapore**
Tel: 65-6334-8870

泰国 **Thailand - Bangkok**
Tel: 66-2-694-1351

越南 **Vietnam - Ho Chi Minh**
Tel: 84-28-5448-2100

欧洲

奥地利 **Austria - Wels**
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦
Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 **Finland - Espoo**
Tel: 358-9-4520-820

法国 **France - Paris**
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 **Germany - Garching**
Tel: 49-8931-9700
德国 **Germany - Haan**
Tel: 49-2129-3766400

德国 **Germany - Heilbronn**
Tel: 49-7131-67-3636

德国 **Germany - Karlsruhe**
Tel: 49-721-625370

德国 **Germany - Munich**
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 **Germany - Rosenheim**
Tel: 49-8031-354-560

以色列 **Israel - Ra'anana**
Tel: 972-9-744-7705

意大利 **Italy - Milan**
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 **Italy - Padova**
Tel: 39-049-7625286

荷兰 **Netherlands - Drunen**
Tel: 31-416-690399
Fax: 31-416-690340

挪威 **Norway - Trondheim**
Tel: 47-7288-4388

波兰 **Poland - Warsaw**
Tel: 48-22-3325737

罗马尼亚
Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 **Spain - Madrid**
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 **Sweden - Gothenberg**
Tel: 46-31-704-60-40

瑞典 **Sweden - Stockholm**
Tel: 46-8-5090-4654

英国 **UK - Wokingham**
Tel: 44-118-921-5800
Fax: 44-118-921-5820